

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Akira UMEZAWA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE WITH MOS TRANSISTORS EACH  
HAVING A FLOATING GATE AND A CONTROL GATE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

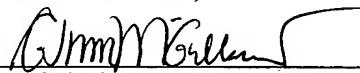
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-209312	August 28, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    8 月 2 8 日  
Date of Application:

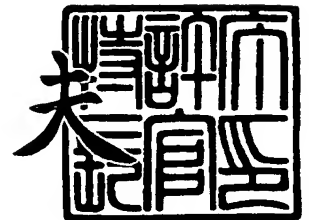
出 願 番 号                      特 願 2 0 0 3 - 2 0 9 3 1 2  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 2 0 9 3 1 2 ]

出      願      人                      株式会社東芝  
Applicant(s):

2 0 0 3 年    9 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 A000302399

【提出日】 平成15年 8月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 不揮発性半導体記憶装置

【請求項の数】 14

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                        イクロエレクトロニクスセンター内

    【氏名】 梅沢 明

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

    【弁理士】

    【氏名又は名称】 河野 哲

【選任した代理人】

    【識別番号】 100088683

    【弁理士】

    【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板の表面内に形成された第 1 ウェル領域上にゲート絶縁膜を介在して形成された浮遊ゲートと、前記浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含む積層ゲートを有する第 1 MOS トランジスタと、前記第 1 MOS トランジスタのソースにドレインが接続された第 2 MOS トランジスタとを備えたメモリセルと、

前記メモリセルがマトリクス状に配置されたメモリセルアレイと、

同一行にある前記第 1 MOS トランジスタの前記制御ゲートを共通接続するワード線と、

同一行にある前記第 2 MOS トランジスタのゲートを共通接続するセレクトゲート線と、

書き込み時において、前記ワード線のいずれかを選択して正電位を与える共に、前記第 1 ウェル領域に負電位を与え、書き込み後、前記選択ワード線及び前記第 1 ウェル領域をフローティングにする第 1 ロウデコードと、

読み出し時において、前記セレクトゲート線のいずれかを選択する第 2 ロウデコードと、

前記フローティングにされた選択ワード線と第 1 ウェル領域とをショートする制御回路と

を具備し、書き込み時において、前記セレクトゲート線は負電位ノードに接続されて、前記書き込み後、前記セレクトゲート線は、前記負電位ノードと分離され、前記第 1 ウェル領域に接続される

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 半導体基板の表面内に形成されたウェル領域上にゲート絶縁膜を介在して形成された浮遊ゲートと、前記浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含む積層ゲートを有する第 1 MOS トランジスタと、前記第 1 MOS トランジスタのソースにドレインが接続された第 2 MOS トランジスタとを備えたメモリセルと、

前記メモリセルがマトリクス状に配置されたメモリセルアレイと、  
同一行にある前記第1 MOS トランジスタの前記制御ゲートを共通接続するワード線と、  
同一行にある前記第2 MOS トランジスタのゲートを共通接続するセレクトゲート線と、  
書き込み時において、前記ワード線のいずれかを選択して正電位を与えると共に、前記ウェル領域及び前記セレクトゲート線に負電位を与え、書き込み後、前記選択ワード線、前記ウェル領域及びセレクトゲート線をフローティングにする第1 ロウデコーダと、  
読み出し時において、前記セレクトゲート線のいずれかを選択する第2 ロウデコーダと、  
前記フローティングにされたワード線、セレクトゲート線、及びウェル領域をショートする制御回路と  
を具備することを特徴とする不揮発性半導体記憶装置。

【請求項3】 前記第1 ロウデコーダは、前記ワード線毎に設けられ、ロウアドレス信号をデコードして、書き込み時において前記選択ワード線に正電位を与えるアドレスデコード回路と、

前記アドレスデコード回路の正電位電源ノードと、正電位ノードとを接続する第1 スイッチ素子と、

前記アドレスデコード回路の正電位電源ノードと、前記制御回路とを接続する第2 スイッチ素子と、

前記アドレスデコード回路の負電位電源ノードと、接地電位ノードとを接続する第3 スイッチ素子とを備え、

書き込み時において、前記第1 スイッチ素子は、対応する前記アドレスデコード回路の前記正電位電源ノードを介して前記選択ワード線を前記正電位ノードに接続し、前記第3 スイッチ素子は、対応する前記アドレスデコード回路の前記負電位電源ノードを介して前記非選択ワード線を前記接地電位ノードに接続し、

書き込み後において、前記第1 乃至第3 スイッチ素子は、前記アドレスデコード回路の前記正電位電源ノード及び前記負電位電源ノードをオープンにして、前

記選択ワード線をフローティングとし、

前記選択ワード線がフローティングにされた後において、前記第 2 スイッチ素子は、対応する前記アドレスデコード回路の前記正電位電源ノードを介して前記選択ワード線を前記制御回路に接続する

ことを特徴とする請求項 1 または 2 記載の不揮発性半導体記憶装置。

【請求項 4】 書き込み時において、前記第 1 ロウデコーダと前記制御回路とを接続して、前記制御回路から与えられる前記負電位を、前記第 1 ロウデコーダを介して前記第 1 ウェル領域に与え、書き込み後において、前記第 1 ロウデコーダと前記制御回路とを非接続として、前記第 1 ウェル領域をフローティングにし、前記第 1 ウェル領域がフローティングにされた後、前記第 1 ロウデコーダと前記制御回路とを接続して、前記制御回路と前記第 1 ウェル領域とを電氣的に接続する第 4 スイッチ素子と、

前記第 4 スイッチ素子によって、前記負電位が前記第 1 ウェル領域に与えられる際には、前記セレクトゲート線と負電位ノードとを接続し、前記フローティングにされた前記第 1 ウェル領域が前記制御回路に電氣的に接続されている際には、前記セレクトゲート線を前記負電位ノードから分離して前記第 1 ウェル領域に接続する第 5 スイッチ素子と

を更に備えることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】 前記第 1 ロウデコーダは、前記半導体基板の表面内に形成され且つ前記第 1 ウェル領域と離隔された第 2 ウェル領域上に前記セレクトゲート線毎に形成され、電流経路の一端が前記第 5 スイッチに接続され、電流経路の他端が前記セレクトゲート線に接続された第 3 MOS トランジスタと、

前記アドレスデコード回路の負電位電源ノードと、前記制御回路とを接続する第 6 スイッチを更に備え、

前記第 3 スイッチ素子は、前記アドレスデコード回路の負電位電源ノードと、負電位ノードとを更に接続し、

消去時において、前記第 3 スイッチ素子は、対応する前記アドレスデコード回路の前記負電位電源ノードを介して前記ワード線を前記負電位ノードに接続し、前記第 4 スイッチ素子は、前記第 1 ロウデコーダと前記制御回路とを接続して、

前記制御回路から与えられる正電位を、前記第1ロウデコーダを介して前記第1ウェル領域に与え、前記第3MOSトランジスタはオフ状態とされ、

消去後において、前記第1乃至第4、第6スイッチ素子がオフ状態とされて、前記ワード線及び第1ウェル領域はフローティングとされ、前記第3MOSトランジスタはオフ状態とされ、

前記ワード線及び第1ウェル領域がフローティングにされた後において、前記第6スイッチ素子は、前記ワード線を、対応するアドレスデコード回路の負電位電源ノードを介して前記制御回路に接続し、前記第4スイッチ素子は、前記第1ウェル領域と前記制御回路とを接続し、前記第3MOSトランジスタはオフ状態とされる

ことを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項6】 書き込み時において、前記第1ロウデコーダと前記制御回路とを接続して、前記制御回路から与えられる前記負電位を、前記第1ロウデコーダを介して前記ウェル領域に与え、書き込み後において、前記第1ロウデコーダと前記制御回路とを非接続として、前記ウェル領域をフローティングにし、前記ウェル領域がフローティングにされた後、前記第1ロウデコーダと前記制御回路とを接続して、前記制御回路と前記ウェル領域とを電氣的に接続する第4スイッチ素子を更に備え、

前記第1ロウデコーダは、前記ウェル領域上に前記セレクトゲート線毎に形成され、電流経路の一端が前記ウェル領域に接続され、電流経路の他端が前記セレクトゲート線に接続され、書き込み動作時にはオン状態とされる第3MOSトランジスタとを更に備える

ことを特徴とする請求項2または3記載の不揮発性半導体記憶装置。

【請求項7】 前記第1ロウデコーダは、前記アドレスデコード回路の負電位電源ノードと、前記制御回路とを接続する第5スイッチ素子を更に備え、

前記第3スイッチ素子は、前記アドレスデコード回路の負電位電源ノードと、負電位ノードとを更に接続し、

消去時において、前記第3スイッチ素子は、対応する前記アドレスデコード回路の前記負電位電源ノードを介して前記ワード線を前記負電位ノードに接続し、



前記第 4 スイッチ素子は、前記第 1 ロウデコーダと前記制御回路とを接続して、前記制御回路から与えられる正電位を、前記第 1 ロウデコーダを介して前記ウェル領域に与え、前記第 3 MOS トランジスタはオフ状態とされ、

消去後において、前記第 1 乃至第 5 スイッチ素子がオフ状態とされて、前記ワード線及び前記ウェル領域はフローティングとされ、前記第 3 MOS トランジスタはオフ状態とされ、

前記ワード線及びウェル領域がフローティングとされた後において、前記第 5 スイッチ素子は、前記ワード線を、対応する前記アドレスデコード回路の負電位電源ノードを介して前記制御回路に接続し、前記第 4 スイッチ素子は、前記ウェル領域と前記制御回路とを接続し、前記第 3 MOS トランジスタはオフ状態とされる

ことを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 8】 半導体基板の表面内に形成された第 1 ウェル領域上にゲート絶縁膜を介在して形成された浮遊ゲートと、前記浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含む積層ゲートを有する第 1 MOS トランジスタと、前記第 1 MOS トランジスタのソースにドレインが接続された第 2 MOS トランジスタとを備えたメモリセルと、

前記メモリセルがマトリクス状に配置されたメモリセルアレイと、

同一行にある前記第 1 MOS トランジスタの前記制御ゲートを共通接続するワード線と、

同一行にある前記第 2 MOS トランジスタのゲートを共通接続するセレクトゲート線と、

消去時において、前記ワード線に負電位を与え、前記第 1 ウェル領域に正電位を与えると共に、前記セレクトゲート線をフローティングとし、消去後、前記ワード線、前記第 1 ウェル領域、及び前記セレクトゲート線をフローティングにする第 1 ロウデコーダと、

読み出し時において、前記セレクトゲート線のいずれかを選択する第 2 ロウデコーダと、

前記フローティングにされたワード線と第 1 ウェル領域とをショートする制御

## 回路と

を具備することを特徴とする不揮発性半導体記憶装置。

【請求項 9】 前記第 1 ロウデコーダは、前記ワード線毎に設けられ、ロウアドレス信号をデコードして、消去時において前記ワード線に負電位を与えるアドレスデコード回路と、

前記アドレスデコード回路の正電位電源ノードと、正電位ノードとを接続する第 1 スイッチ素子と、

前記アドレスデコード回路の負電位電源ノードと、負電位ノードとを接続する第 2 スイッチ素子と、

前記アドレスデコード回路の負電位電源ノードと、前記制御回路とを接続する第 3 スイッチ素子とを備え、

消去時において、前記第 2 スイッチ素子は、対応する前記アドレスデコード回路の前記負電位電源ノードを介して前記ワード線を前記負電位ノードに接続し、

消去後において、前記第 1 乃至第 3 スイッチ素子は、前記アドレスデコード回路の前記正電位電源ノード及び前記負電位電源ノードをオープンにして、前記ワード線をフローティングとし、

前記選択ワード線がフローティングにされた後において、前記第 3 スイッチ素子は、対応する前記アドレスデコード回路の前記負電位電源ノードを介して前記ワード線を前記制御回路に接続する

ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 10】 消去時において、前記第 1 ロウデコーダと前記制御回路とを接続して、前記制御回路から与えられる前記正電位を、前記第 1 ロウデコーダを介して前記第 1 ウェル領域に与え、消去後において、前記第 1 ロウデコーダと前記制御回路とを非接続として、前記第 1 ウェル領域をフローティングにし、前記第 1 ウェル領域がフローティングにされた後、前記第 1 ロウデコーダと前記制御回路とを接続して、前記制御回路と前記第 1 ウェル領域とを電氣的に接続する第 4 スイッチ素子を更に備える

ことを特徴とする請求項 9 記載の不揮発性半導体記憶装置。

【請求項 11】 前記第 1 ロウデコーダは、前記半導体基板の表面内に形成

され且つ前記第1ウェル領域と離隔された第2ウェル領域上に、前記セレクトゲート線毎に形成され、電流経路の一端が前記セレクトゲート線に接続された第3 MOSトランジスタと、

前記アドレスデコード回路の正電位電源ノードと、前記制御回路とを接続する第5スイッチ素子とを更に備え、

前記第3 MOSトランジスタの電流経路の他端と、前記第1ウェル領域及び負電位ノードとの間の接続をスイッチングする第6スイッチ素子を更に備え、

前記第2スイッチ素子は、前記アドレスデコード回路の負電位電源ノードと接地電位ノードとの接続を更にスイッチングし、

書き込み時において、前記第1スイッチ素子は、対応する前記アドレスデコード回路の前記正電位電源ノードを介して選択ワード線を前記正電位ノードに接続し、前記第2スイッチ素子は、対応する前記アドレスデコード回路の前記負電位電源ノードを介して非選択ワード線を前記接地電位ノードに接続し、前記第4スイッチ素子は、前記第1ロウデコーダと前記制御回路とを接続して、前記制御回路から与えられる負電位を、前記第1ロウデコーダを介して前記第1ウェル領域に与え、前記第3 MOSトランジスタはオン状態とされ、前記第6スイッチ素子は、前記第3 MOSトランジスタの電流経路の他端と、前記負電位電源ノードとを接続し、

書き込み後において、前記第1乃至第5スイッチ素子がオフ状態とされて、前記選択ワード線及び第1ウェル領域はフローティングとされ、

前記選択ワード線及び前記第1ウェル領域がフローティングとされた後において、前記第5スイッチ素子は、対応する前記アドレスデコード回路の前記正電位電源ノードを介して前記選択ワード線を前記制御回路に接続し、前記第4スイッチ素子は、前記第1ロウデコーダと前記制御回路とを接続して、前記制御回路と前記第1ウェル領域とを電氣的に接続し、前記第6スイッチ素子は、前記セレクトゲート線と、前記前記第1ウェル領域とを接続する

ことを特徴とする請求項10記載の不揮発性半導体記憶装置。

【請求項12】 前記第1ロウデコーダは、前記第1ウェル領域上に、前記セレクトゲート線毎に形成され、電流経路の一端が前記セレクトゲート線に接続

された第3 MOS トランジスタと、

前記アドレスデコード回路の正電位電源ノードと、前記制御回路とを接続する第5 スイッチ素子とを更に備え、

前記第2 スイッチ素子は、前記アドレスデコード回路の負電位電源ノードと接地電位ノードとの接続を更にスイッチングし、

書き込み時において、前記第1 スイッチ素子は、対応する前記アドレスデコード回路の前記正電位電源ノードを介して選択ワード線を前記正電位ノードに接続し、前記第2 スイッチ素子は、対応する前記アドレスデコード回路の前記負電位電源ノードを介して非選択ワード線を前記接地電位ノードに接続し、前記第4 スイッチ素子は、前記第1 ロウデコーダと前記制御回路とを接続して、前記制御回路から与えられる負電位を、前記第1 ロウデコーダを介して前記第1 ウェル領域に与え、前記第3 MOS トランジスタはオン状態とされ、

書き込み後において、前記第1 乃至第5 スイッチ素子がオフ状態とされて、前記選択ワード線、第1 ウェル領域、及びセレクトゲート線はフローティングとされ、

前記選択ワード線がフローティングとされた後において、前記第5 スイッチ素子は、対応する前記アドレスデコード回路の前記正電位電源ノードを介して前記選択ワード線を前記制御回路に接続し、前記第4 スイッチ素子は、前記第1 ロウデコーダと前記制御回路とを接続して、前記制御回路と前記第1 ウェル領域とを電氣的に接続する

ことを特徴とする請求項10記載の不揮発性半導体記憶装置。

【請求項13】 同一列にある前記第1 MOS トランジスタの電流経路のドレインを電氣的に共通接続するビット線と、

前記第2 MOS トランジスタのソースを共通接続するソース線と

を更に備えることを特徴とする請求項1乃至12いずれか1項記載の不揮発性半導体記憶装置。

【請求項14】 前記メモリセルは、ソースが前記第1 MOS トランジスタのドレインに接続され、ドレインが前記ビット線に接続された第4 MOS トランジスタを更に備える

ことを特徴とする請求項 1 3 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置に関する。例えば、フローティングゲートとコントロールゲートとを有する MOS トランジスタを含む不揮発性半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

従来から、不揮発性半導体メモリとして、NOR 型フラッシュメモリや NAND 型フラッシュメモリが知られており、広く使用されている。

【0 0 0 3】

近年では、NOR 型フラッシュメモリと NAND 型フラッシュメモリの両者の長所を兼ね備えたフラッシュメモリが提案されている（例えば非特許文献 1 参照）。このフラッシュメモリは、2 つの MOS トランジスタを含むメモリセルを備えている。このようなメモリセルにおいては、不揮発性記憶部として機能する一方の MOS トランジスタが、コントロールゲートとフローティングゲートとを備えた構造を有し、ビット線に接続されている。他方の MOS トランジスタは、ソース線に接続され、メモリセルの選択用として用いられる。

【0 0 0 4】

また上記 NOR 型フラッシュメモリにおいては、書き込み終了後にワード線及び半導体基板の電位を 0 V に戻す際、ワード線と半導体基板との間のカップリングによる悪影響を防止するための技術が開示されている（例えば特許文献 1、2 参照）。

【0 0 0 5】

【非特許文献 1】

Wei-Hua Liu 著、" A 2-Transistor Source-select (2TS) Flash EEPROM for 1.8V-Only Application"、Non-Volatile Semiconductor Memory Workshop 4.1、1997 年

## 【0 0 0 6】

## 【特許文献 1】

特開 2 0 0 0 - 9 0 6 8 0 号公報

## 【0 0 0 7】

## 【特許文献 2】

米国特許第 6 2 2 2 7 7 4 号明細書

## 【0 0 0 8】

## 【発明が解決しようとする課題】

しかし、上記従来の、2つのMOSトランジスタを含むメモリセルを備えたフラッシュメモリは、NOR型フラッシュメモリと異なり、セレクトゲート線を有している。従って、ワード線と半導体基板との間のカップリングだけでなく、セレクトゲート線と半導体基板との間のカップリングが、動作に悪影響を及ぼすという問題があった。特に、選択トランジスタのゲート絶縁膜の耐圧を鑑みると、上記特許文献 1、2 記載の方法は、動作信頼性の観点から十分ではなかった。

## 【0 0 0 9】

この発明は、上記事情に鑑みてなされたもので、その目的は、動作信頼性を向上できる不揮発性半導体記憶装置を提供することにある。

## 【0 0 1 0】

## 【課題を解決するための手段】

この発明の第 1 の態様に係る不揮発性半導体記憶装置は、半導体基板の表面内に形成された第 1 ウェル領域上にゲート絶縁膜を介在して形成された浮遊ゲートと、前記浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含む積層ゲートを有する第 1 MOS トランジスタと、前記第 1 MOS トランジスタのソースにドレインが接続された第 2 MOS トランジスタとを備えたメモリセルと、前記メモリセルがマトリクス状に配置されたメモリセルアレイと、同一行にある前記第 1 MOS トランジスタの前記制御ゲートを共通接続するワード線と、同一行にある前記第 2 MOS トランジスタのゲートを共通接続するセレクトゲート線と、書き込み時において、前記ワード線のいずれかを選択して正電位を与える共に、前記第 1 ウェル領域に負電位を与え、書き込み後、前記選択ワード線及

び前記第1ウェル領域をフローティングにする第1ロウデコーダと、読み出し時において、前記セレクトゲート線のいずれかを選択する第2ロウデコーダと、前記フローティングにされた選択ワード線と第1ウェル領域とをショートする制御回路とを具備し、書き込み時において、前記セレクトゲート線は負電位ノードに接続されて、前記書き込み後、前記セレクトゲート線は、前記負電位ノードと分離され、前記第1ウェル領域に接続されることを特徴としている。

#### 【0011】

また、この発明の第2の態様に係る不揮発性半導体記憶装置は、半導体基板の表面内に形成されたウェル領域上にゲート絶縁膜を介在して形成された浮遊ゲートと、前記浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含む積層ゲートを有する第1MOSトランジスタと、前記第1MOSトランジスタのソースにドレインが接続された第2MOSトランジスタとを備えたメモリセルと、前記メモリセルがマトリクス状に配置されたメモリセルアレイと、同一行にある前記第1MOSトランジスタの前記制御ゲートを共通接続するワード線と、同一行にある前記第2MOSトランジスタのゲートを共通接続するセレクトゲート線と、書き込み時において、前記ワード線のいずれかを選択して正電位を与えると共に、前記ウェル領域及び前記セレクトゲート線に負電位を与え、書き込み後、前記選択ワード線、前記ウェル領域及びセレクトゲート線をフローティングにする第1ロウデコーダと、読み出し時において、前記セレクトゲート線のいずれかを選択する第2ロウデコーダと、前記フローティングにされたワード線、セレクトゲート線、及びウェル領域をショートする制御回路とを具備することを特徴としている。

#### 【0012】

上記構成の不揮発性半導体記憶装置によれば、制御ゲートに正電位を与えて半導体基板に負電位を与えることによりメモリセルにデータを書き込んだ後、まず制御ゲート及び半導体基板をフローティングにしている。そして、制御ゲートと半導体基板とをショートすると共に、セレクトゲート線と半導体基板とを接続している。従って、第1、第2MOSトランジスタのゲート電極と半導体基板との間のカップリングによって、不揮発性半導体記憶装置が誤動作を起こすことを抑

制できる。

#### 【0013】

更に、この発明の第3の態様に係る不揮発性半導体記憶装置は、半導体基板の表面内に形成された第1ウェル領域上にゲート絶縁膜を介在して形成された浮遊ゲートと、前記浮遊ゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含む積層ゲートを有する第1MOSトランジスタと、前記第1MOSトランジスタのソースにドレインが接続された第2MOSトランジスタとを備えたメモリセルと、前記メモリセルがマトリクス状に配置されたメモリセルアレイと、同一行にある前記第1MOSトランジスタの前記制御ゲートを共通接続するワード線と、同一行にある前記第2MOSトランジスタのゲートを共通接続するセレクトゲート線と、消去時において、前記ワード線に負電位を与え、前記第1ウェル領域に正電位を与えると共に、前記セレクトゲート線をフローティングとし、消去後、前記ワード線、前記第1ウェル領域、及び前記セレクトゲート線をフローティングにする第1ロウデコーダと、読み出し時において、前記セレクトゲート線のいずれかを選択する第2ロウデコーダと、前記フローティングにされたワード線と第1ウェル領域とをショートする制御回路とを具備することを特徴としている。

#### 【0014】

上記構成の不揮発性半導体記憶装置によれば、制御ゲートに負電位を与えて半導体基板に正電位を与えることによりメモリセルのデータを消去した後、まず制御ゲート及び半導体基板をフローティングにしている。その後、制御ゲートと半導体基板とをショートしている。そして、セレクトゲート線は常時フローティングとされている。従って、第1、第2MOSトランジスタのゲート電極と半導体基板との間のカップリングによって、不揮発性半導体記憶装置が誤動作を起こすことを抑制できる。

#### 【0015】

##### 【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。



## 【0016】

この発明の第1の実施形態に係る不揮発性半導体記憶装置について図1を用いて説明する。図1は、本実施形態に係るフラッシュメモリのブロック図である。

## 【0017】

図示するように、フラッシュメモリ10は、メモリセルアレイ20、書き込み用デコーダ30、セレクトゲートデコーダ40、カラムデコーダ50、書き込み回路60、センスアンプ70、ソース線ドライバ80、アドレスバッファ90、制御回路100、昇圧回路110～130を備えている。

## 【0018】

メモリセルアレイ20は、マトリクス状に配置された複数個のメモリセルを有している。メモリセルアレイ20の構成について、図2を用いて説明する。図2はメモリセルアレイ20の一部領域の回路図である。

## 【0019】

図示するように、メモリセルアレイ20は、 $((m+1) \times (n+1))$ 、但し  $m$ 、 $n$  は自然数) 個のメモリセルブロックBLK、メモリセルブロックBLK毎に設けられたセクタSEL、及びMOSトランジスタ21を有している。なお、図2では $(2 \times 2)$  個のメモリセルブロックBLKのみを示しているが、この数は特に限定されるものではない。

## 【0020】

各々のメモリセルブロックは、複数のメモリセルMCを含んでいる。メモリセルMCは、互いに電流経路が直列接続されたメモリセルトランジスタMTと選択トランジスタSTとを有している。メモリセルトランジスタMTは、半導体基板上にゲート絶縁膜を介在して形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成されたコントロールゲートとを有する積層ゲート構造を備えている。フローティングゲートは、個々のメモリセルトランジスタMTごとに分離されている。選択トランジスタSTも、メモリセルトランジスタMTと同様に、積層ゲート構造を備えている。しかし選択トランジスタSTでは、メモリセルトランジスタMTと異なり、フローティングゲートは行方向に隣接するもの同士で共通接続され、且つフローティングゲートと制御ゲート

トが電氣的に接続されている。従って、以下では、選択トランジスタSTの積層ゲートを単にゲートと呼ぶことにする。そして、メモリセルトランジスタMTのソース領域が選択トランジスタSTのドレイン領域に接続されている。本構成のメモリセルMCが、各々のメモリセルブロックに $(4 \times 2)$ 個、含まれている。なお、列方向に配置されたメモリセルMCの数は、図1では4個であるが、この数も一例に過ぎず、例えば8個や16個等でも良く、限定されるものではない。また、列方向で隣接するメモリセルMC同士は、選択トランジスタSTのソース領域、またはメモリセルトランジスタMTのドレイン領域を共有している。そして、2列のメモリセルのメモリセルトランジスタMTのドレイン領域は、2本のローカルビット線LBL0、LBL1にそれぞれ接続されている。ローカルビット線LBL0、LBL1の一端はセクタSELに接続され、他端はMOSトランジスタ22の電流経路を介して、書き込み用デコーダ30に接続されている。更に、メモリセルアレイ20内においては、同一行のメモリセルトランジスタMTの制御ゲートが、それぞれワード線WL0~WL $(4m-1)$ のいずれかに共通接続されている。また同一行の選択トランジスタSTのゲートは、それぞれセレクトゲート線SG0~SG $(4m-1)$ のいずれかに共通接続されている。前述のローカルビット線LBL0、LBL1は各々のメモリセルブロックBLK内においてメモリセルトランジスタを共通接続するのに対して、ワード線WL及びセレクトゲート線SGは、同一行にあるメモリセルトランジスタ及び選択トランジスタをメモリセルブロック間においても共通接続する。そして、ワード線WL0~WL $(4m-1)$ は書き込み用デコーダ30に接続され、セレクトゲート線SG0~SG $(4m-1)$ はセレクトゲートデコーダ40に接続されている。また、選択トランジスタSTのソース領域は、複数のメモリセルブロックBLK間で共通接続され、ソース線ドライバ80に接続されている。

#### 【0021】

次にセクタSELの構成について説明する。セクタSELの各々は、直列接続された4つのMOSトランジスタ23~26を備えている。すなわち、MOSトランジスタ23の電流経路の一端がMOSトランジスタ24の電流経路の一端に接続され、MOSトランジスタ24の電流経路の他端がMOSトランジスタ

25の電流経路の一端に接続され、MOSトランジスタ25の電流経路の他端がMOSトランジスタ26の電流経路の一端に接続されている。MOSトランジスタ23、26のゲートは、書き込み用デコーダ30に接続され、MOSトランジスタ24、25のゲートは、カラムデコーダ50に接続されている。そして、MOSトランジスタ23とMOSトランジスタ24との接続ノードに、対応するメモリセルブロックBLKのローカルビット線LBL0が接続され、MOSトランジスタ25とMOSトランジスタ26との接続ノードに、対応するメモリセルブロックBLKのローカルビット線LBL1が接続されている。更に、セクタSELのMOSトランジスタ23、26の他端は、書き込み用グローバルビット線WGBL0～WGBL(2n-1)のいずれかに接続されている。書き込み用グローバルビット線WGBL0～WGBL(2n-1)のそれぞれは、同一列にあるセクタSELのMOSトランジスタ23またはMOSトランジスタ26の電流経路の他端を共通接続する。そして、書き込み用グローバルビット線WGBL0～WGBL(2n-1)の一端は、書き込み用グローバルビット線毎に設けられた書き込み回路60に接続されている。また、MOSトランジスタ24とMOSトランジスタ25の接続ノードには、読み出し用グローバルビット線RGBL0～RGBL(n-1)が接続されている。読み出し用グローバルビット線RGBL0～RGBL(n-1)のそれぞれは、同一列にあるセクタSELにおけるMOSトランジスタ24とMOSトランジスタ25との接続ノードを共通接続する。そして、読み出し用グローバルビット線RGBL0～RGBL(n-1)の一端は、それぞれMOSトランジスタ21の電流経路を介してセンスアンプ70に接続されている。各MOSトランジスタ21のゲートは共通接続され、カラムデコーダ50に接続されている。

### 【0022】

上記メモリセルアレイ20の構成は次のようにも説明できる。メモリセルアレイ20内には、複数のメモリセルMCがマトリクス状に配置されている。同一行にあるメモリセルMCのメモリセルトランジスタMTの制御ゲートは、ワード線WL0～WL(4m-1)のいずれかに共通接続され、同一行にあるメモリセルの選択トランジスタのゲートは、セレクトゲート線SG0～SG(4m-1)の

いずれかに接続されている。そして、同一列にあり、直列接続された4つのメモリセルMCのメモリセルトランジスタMTのドレインは、ローカルビット線LBL0、LBL1のいずれかに共通接続されている。すなわち、メモリセルアレイ20内の複数のメモリセルMCは、一列に並んだ4つのメモリセルMC毎に、異なるローカルビット線に接続されている。そして、同一行にあるローカルビット線の一端は、MOSトランジスタ22を介して共通接続され、書き込み用デコーダ30に接続されている。また、同一列にあるローカルビット線LBL0、LBL1の他端は、それぞれMOSトランジスタ23、26を介して書き込み用グローバルビット線WGBL0～WGBL(2n-1)のいずれかに共通接続されており、且つそれぞれMOSトランジスタ24、25を介して読み出し用グローバルビット線RGBL0～RGBL(n-1)のいずれかに共通接続されている。そして、メモリセルMCの選択トランジスタSTのソースは共通接続され、ソース線ドライバ80に接続されている。上記構成のメモリセルアレイにおいて、同一のローカルビット線に接続された4つのメモリセルMCが2列集まって、1つのメモリセルブロックBLKが構成されている。同一列のメモリセルブロックは、共通の書き込み用グローバルビット線及び読み出し用グローバルビット線に接続されている。他方、互いに異なる列にあるメモリセルブロックは、それぞれ異なる書き込み用グローバルビット線及び読み出し用グローバルビット線に接続されている。

#### 【0023】

図1に戻って説明を続ける。書き込み用デコーダ30は、書き込み時において、ワード線WL0～WL(4m-1)のいずれかを選択し、選択したワード線に電圧を供給する。また、セクタSEL内のMOSトランジスタ23、26のゲートに電圧を供給する。更に、MOSトランジスタ22のゲート、及びローカルビット線の共通接続ノードに電圧を供給する。

#### 【0024】

セレクトゲートデコーダ40は、セレクトゲート線SG0～SG(4m-1)のいずれかを選択し、選択したセレクトゲート線に電圧を供給する。

#### 【0025】

なお、書き込み用デコーダ30及びセレクトゲートデコーダの詳細については後述する。

**【0026】**

カラムデコーダ50は、読み出し時において、セクタSEL内のMOSトランジスタ24、25のいずれかを選択し、選択したMOSトランジスタのゲートに電圧を供給する。また、MOSトランジスタ21のゲートに電圧を供給する。

**【0027】**

書き込み回路60は、書き込みデータをラッチする。

**【0028】**

センスアンプ70は、読み出したデータを増幅する。

**【0029】**

ソース線ドライバ80は、ソース線に電圧を供給する。

**【0030】**

アドレスバッファ90は、アドレス信号を保持する。そして、カラムアドレス信号CAをカラムデコーダ50に供給し、ロウアドレス信号RAを書き込み用デコーダ30及びセレクトゲートデコーダ40に供給する。

**【0031】**

制御回路100は、書き込み用デコーダに電圧を供給する。制御回路100についても、その詳細は後述する。

**【0032】**

昇圧回路110は、正の電位を生成する。すなわち、外部から入力される電圧Vcc1（1.25～1.65V）を、内部電圧Vcc2（2.5～3.6V）に昇圧する。そして、内部電圧Vcc2を、書き込み用デコーダ30、セレクトゲートデコーダ40及びカラムデコーダ50に供給する。

**【0033】**

昇圧回路120は、正の電位を生成する。すなわち、外部から入力される電圧Vcc1に基づいて、内部電圧VDDWを生成する。内部電圧VDDWは、例えば0V～Vpp（12V）である。

**【0034】**

昇圧回路 130 は、負の電位を生成する。すなわち、外部から入力される電圧  $V_{cc1}$  に基づいて、内部電圧  $V_{NEG}$  を生成する。内部電圧  $V_{NEG}$  は、例えば  $0V \sim V_{BB} (-8V)$  である。

#### 【0035】

次に、書き込み用デコーダ 30、セレクトゲートデコーダ 40、及び制御回路 100 の詳細について、図 3 を用いて説明する。図 3 はフラッシュメモリ 10 の一部領域回路図であり、特に書き込み用デコーダ 30 及びセレクトゲートデコーダ 40 の詳細を示す回路図である。

#### 【0036】

まず、セレクトゲートデコーダ 40 の構成について説明する。セレクトゲートデコーダ 40 は、ロウアドレスデコード回路 41、電圧変換回路 42、及びスイッチ素子群 53 を備えている。ロウアドレスデコード回路 41 は、電源電圧  $V_{cc1}$  ( $=1.25 \sim 1.65V$ ) で動作し、 $(i+1)$  ビットのロウアドレス信号  $RA0 \sim RAi$  をデコードしてロウアドレスデコード信号を得る。ロウアドレスデコード回路 41 は、セレクトゲート線  $SG0 \sim SG(4m-1)$  毎に設けられた NAND 回路 44 及びインバータ 45 を有している。NAND 回路 44 は、ロウアドレス信号  $RA0 \sim RAi$  の各ビットの NAND 演算を行う。そして、インバータ 45 が NAND 演算結果を反転して、ロウアドレスデコード信号として出力する。

#### 【0037】

電圧変換回路 42 は、電源電圧  $V_{cc2}$  ( $=2.5 \sim 3.6V$ ) で動作し、 $V_{cc1}$  レベルのロウアドレスデコード信号を  $V_{cc2}$  レベルに変換する。電源電圧  $V_{cc2}$  は、昇圧回路 110 によって与えられる。電圧変換回路 42 は、セレクトゲート線  $SG0 \sim SG(4m-1)$  毎に設けられたレベルシフト回路 46 及びインバータ 47 を備えている。レベルシフト回路 46 は、ロウアドレスデコード信号の電圧レベルを  $V_{cc2}$  レベルに変換する。またインバータ 47 は、レベルシフト回路 46 の出力を反転する。

#### 【0038】

スイッチ素子群 43 は、 $n$  チャネル MOS トランジスタ 48 を有している。 $n$

チャンネルMOSトランジスタ48は、セレクトゲート線SG0～SG(4m-1)毎に設けられている。そして、インバータ47の出力が、nチャンネルMOSトランジスタの電流経路を介して、セレクトゲート線SG0～SG(4m-1)に与えられる。なお、nチャンネルMOSトランジスタ48のゲートには、制御信号ZISOGが入力される。

#### 【0039】

次に、書き込み用デコーダ30の構成について説明する。書き込み用デコーダ30は、ロウアドレスデコード回路31及びスイッチ素子群32を備えている。ロウアドレスデコード回路31は、(i+1)ビットのロウアドレス信号RA0～RAiをデコードしてロウアドレスデコード信号を得る。このロウアドレスデコード信号が、ワード線WL0～WL(4m-1)に与えられる。ロウアドレスデコード回路31は、ワード線WL0～WL(4m-1)毎に設けられたNAND回路33及びインバータ34を有している。NAND回路33は、正電源電圧ノードは、電源電圧ノードVCGNWに接続され、負電源電圧ノードは電源電圧ノードVCGPWに接続されている。そして、ロウアドレス信号RA0～RAiの各ビットのNAND演算を行う。電源電圧ノードVCGNW、VCGPWには、昇圧回路120、130が発生する電圧VDDW及びVNEG、または昇圧回路110が発生する電圧Vcc2のいずれかが与えられる。そして、インバータ34がNAND演算結果を反転して、ロウアドレスデコード信号として出力する。インバータ34の正電源電圧ノードは、スイッチ素子35を介して電源電圧ノードVCGNWに接続され、且つスイッチ素子140を介して制御回路100に接続されている。またインバータ34の負電源電圧ノードは、スイッチ素子36を介して電源電圧ノードVCGPWに接続され、且つスイッチ素子141を介して制御回路100に接続されている。従って、インバータ34は、電源電圧ノードVCGNW、VCGPWにおける電圧、または制御回路100から与えられる電圧に基づいて動作する。

#### 【0040】

スイッチ素子群32は、nチャンネルMOSトランジスタ37を有している。nチャンネルMOSトランジスタ37は、セレクトゲート線SG0～SG(4m-1)

）毎に設けられている。そして、その電流経路の一端がセレクトゲート線SG0～SG(4m-1)に接続されている。また電流経路の他端は、スイッチ素子143を介して、電源電圧ノードVSGPWまたはメモリセルアレイ20が形成されたウェル領域のウェル電位VPWに接続されている。nチャネルMOSトランジスタ37のゲートには、制御信号WSGが入力される。また、nチャネルMOSトランジスタ38のバックゲート電位（ウェル領域の電位）は、電流経路の他端と同電位とされ、且つnチャネルMOSトランジスタ48のバックゲート電位と同電位とされている。

#### 【0041】

制御回路100は、前述のように、スイッチ素子140、141を介して、インバータ34の電源電圧ノード（正・負）に接続されている。また、スイッチ素子142を介して、メモリセルアレイ20のウェル電位VPWに接続されている。

#### 【0042】

書き込み用デコーダ30におけるロウアドレスデコード回路31の構成の詳細について、図4を用いて説明する。図4は、ロウアドレスデコード回路の回路図である。

#### 【0043】

図示するように、インバータ34は、pチャネルMOSトランジスタ38及びnチャネルMOSトランジスタ39を備えている。pチャネルMOSトランジスタのソースは、バックゲートと共通接続され、更にスイッチ素子35を介してVCGNWノードに接続され、スイッチ素子140を介して制御回路100に接続されている。nチャネルMOSトランジスタ39のドレインはpチャネルMOSトランジスタ39のドレインに接続されている。nチャネルMOSトランジスタのソースは、バックゲートと共通接続され、更にスイッチ素子36を介してVCGPWノードに接続され、スイッチ素子141を介して制御回路100に接続されている。そして、pチャネルMOSトランジスタ38及びnチャネルMOSトランジスタ39のゲートは、共通接続され、NANDゲート33の出力ノードに接続されている。更に、pチャネルMOSトランジスタ38のドレインと、nチャネルMOSトランジスタ39のドレインと、共通接続されている。



チャネルMOSトランジスタ39のドレインとの接続ノードは、対応するワード線に接続されている。

#### 【0044】

図5は、図3に示すメモリセルアレイ20、セレクトゲートデコーダ40、及び書き込み用デコーダ30の、一部領域の断面図である。図5では特に、1個のメモリセルMC、インバータ34、47、及びMOSトランジスタ37、48についてのみ示している。

#### 【0045】

図示するように、半導体基板150の表面内には、互いに離隔されたn型ウェル領域151～153が形成されている。n型ウェル領域151は、書き込み用デコーダ34内のインバータ34を形成するためのものである。またn型ウェル領域152は、書き込み用デコーダ34内のpチャネルMOSトランジスタ37、メモリセルアレイ20内のメモリセルMC、及びセレクトゲートデコーダ40内のpチャネルMOSトランジスタ48を形成するためのものである。更に、n型ウェル領域153は、セレクトゲートデコーダ40内のインバータ47を形成するためのものである。

#### 【0046】

n型ウェル領域151の表面内には、更にp型ウェル領域154が形成されている。そして、n型ウェル領域151上及びp型ウェル領域154上に、それぞれインバータ34に含まれるpチャネルMOSトランジスタ38、39が形成されている。またp型ウェル領域151は、VCGNWノードに接続され、p型ウェル領域154はVCGPWノードに接続されている。

#### 【0047】

n型ウェル領域152の表面内には、更にp型ウェル領域155～157が形成されている。そして、p型ウェル領域155～157上には、それぞれ書き込み用デコーダ34内のMOSトランジスタ37、メモリセルMC、及びセレクトゲートデコーダ40内のMOSトランジスタ48が形成されている。なお、メモリセルの選択トランジスタSTは、単層ゲートとして図示されているが、メモリセルトランジスタMTと同様に積層ゲート構造であっても良い。そして、n型ウ

エル領域 152 は電源電位ノード VNW に接続され、p 型ウェル領域 155、156 は制御回路 100 または VSGPW ノードに接続されている。前述の通り、p 型ウェル領域 157 は、p 型ウェル領域 155 と同電位とされている。

#### 【0048】

n 型ウェル領域 153 上には、インバータ 153 内の p チャンネル MOS トランジスタが形成され、更に p 型半導体基板 150 上には、インバータ 153 内の n チャンネル MOS トランジスタが形成されている。そして、n 型ウェル領域 153 には電圧  $V_{cc2}$  が与えられる。

#### 【0049】

次に、上記構成のフラッシュメモリの動作について簡単に説明する。詳細については後述する。

#### <書き込み動作>

データの書き込みは、いずれかのワード線に接続された全てのメモリセルに対して一括して行われる。そして、メモリセルトランジスタ MT のフローティングゲートに電子を注入するか否かで “0” データ、“1” データを書き分ける。電子のフローティングゲートへの注入は、Fowler-Nordheim (FN) tunneling によって行われる。

#### 【0050】

まず、図 1 において、図示せぬ I/O 端子から書き込みデータ (“1”、“0”) が入力され、該書き込みデータが書き込み回路 60 に入力される。書き込み回路 60 に “1” データが格納されると、書き込み回路 60 の出力は高電圧側、すなわち 0 V となる。逆に “0” データが格納されると、書き込み回路 60 の出力は低電圧側、すなわち VBB (−8 V) となる。これらの電圧が、対応する書き込み用グローバルビット線 WGBL に与えられる (図 2 参照)。

#### 【0051】

そして、書き込み用デコーダ 30 が、ワード線 WL0 ~ WL (4m−1) のいずれかを選択すると共に、MOS トランジスタ 22 をオフ状態にする。選択ワード線には、 $V_{pp}$  (例えば 12 V) が与えられる。また、セレクトゲートデコーダ 40 は、セレクトゲート線 SG0 ~ SG (4m−1) を “L” レベル (VBB)

とする。従って、全ての選択トランジスタはオフ状態となる。

#### 【0052】

また、書き込み用デコーダ30は、選択ワード線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ23、26をオン状態にする。その結果、書き込み用グローバルビット線WGBLとローカルビット線LBLとが電氣的に接続される。但し、選択ワード線を含まないメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ23、26はオフ状態とされる。他方、カラムデコーダ50は、全てのセクタSEL内のMOSトランジスタ24、25をオフ状態にする。従って、読み出し用グローバルビット線RGBLとローカルビット線LBLとは、電氣的に分離されている。

#### 【0053】

上記の結果、セクタSEL内のMOSトランジスタ23、26を介して、書き込み用グローバルビット線から、選択ワード線を含むメモリセルブロックBLKのローカルビット線LBLに、“1”データまたは“0”データに対応する電位が与えられる。この電位は、メモリセルトランジスタMTのドレイン領域に与えられる。すると、選択ワード線WLには $V_{pp}$  (12 V) が印加され、“1”データを書き込むべきメモリセルMCのドレイン領域には0 Vが印加され、“0”データを書き込むべきメモリセルMCのドレイン領域には $V_{BB}$  (-8 V) が印加される。従って、“1”データを書き込むべきメモリセルMCでは、フローティングゲートに電子は注入されず、メモリセルMCは負の閾値を保持する。他方、“0”データを書き込むべきメモリセルMCでは、フローティングゲートに電子がFN tunnelingによって注入される。その結果、メモリセルの閾値は正に変化する。

#### 【0054】

##### <読み出し動作>

データの読み出しにおいては、いずれかのワード線に接続された複数のメモリセルから一括して読み出されることが可能である。そして、データは各ブロック当たり1つのメモリセルMCから読み出される。

#### 【0055】

まず、セレクトゲートデコーダ40が、セレクトゲート線SG0～SG(4m-1)のいずれかを選択する。選択セレクトゲート線には、“H”レベル(V<sub>cc</sub>2)が与えられる。非選択セレクトゲート線は全て“L”レベル(0V)である。従って、選択セレクトゲート線に接続された選択トランジスタSTはオン状態となり、非選択セレクトゲート線に接続された選択トランジスタSTはオフ状態となる。また書き込み用デコーダ30は、全てのワード線WL0～WL(4m-1)を“L”レベルとすると共に、MOSトランジスタ22をオフ状態とする。また、ソース線ドライバ80は、ソース線の電位を0Vとする。

#### 【0056】

また、カラムデコーダ50は、選択セレクトゲート線を含むメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ24、25のいずれかをオン状態にする。その結果、読み出し用グローバルビット線RGBL0～RGBL(n-1)と、ローカルビット線LBL0またはLBL1とが電氣的に接続される。但し、選択セレクトゲート線を含まないメモリセルブロックBLKに対応するセクタSEL内のMOSトランジスタ24、25はオフ状態とする。他方、書き込み用デコーダ30は、全てのセクタSEL内のMOSトランジスタ23、26をオフ状態にする。従って、書き込み用グローバルビット線WGBLとローカルビット線LBLとは、電氣的に分離されている。更に、カラムデコーダ50は、MOSトランジスタ21をオン状態とする。

#### 【0057】

上記の結果、セクタSEL内のMOSトランジスタ24またはMOSトランジスタ25、及び読み出し用グローバルビット線RGBL0～RGBL(n-1)を介して、ローカルビット線LBL0またはLBL1が、センスアンプ70に接続される。

#### 【0058】

そして、読み出し用グローバルビット線RGBL0～RGBL(n-1)に、例えば1V程度が与えられる。すると、“1”データが書き込まれているメモリセルMCのメモリセルトランジスタMTは、閾値電圧が負であるから、オン状態となる。従って、選択セレクトゲート線に接続されているメモリセルMCでは、

読み出し用グローバルビット線 R G B L から、ローカルビット線 L B L、メモリセルトランジスタ M T、及び選択トランジスタ S T を介して、ソース線 S L に向かって電流が流れる。他方、“0”データが書き込まれているメモリセル M C のメモリセルトランジスタ M T は、閾値電圧が正であるから、オフ状態である。従って、読み出し用グローバルビット線 R G B L には電流は流れない。

#### 【0059】

以上のようにして、読み出し用グローバルビット線 R G B L の電位が変化し、その変化量をセンスアンプ 70 が増幅することによって読み出し動作が行われる。

#### 【0060】

##### <消去動作>

データの消去は、ウェル領域を共用する全てのメモリセルについて一括して行われる。従って、図 2 の例であると、メモリセルアレイ 20 に含まれる全てのメモリセルが同時に消去される。

#### 【0061】

すなわち、書き込み用デコーダ 30 は、全てのワード線 W L 0 ~ W L (4 m - 1) の電位を V B B ( - 8 V ) とする。また、半導体基板 (ウェル領域 156 : 図 5 参照) の電位は V p p ( 20 V ) とされる。その結果、メモリセル M C のメモリセルトランジスタのフローティングゲートから電子が F N tunneling によってウェル領域 156 に引き抜かれる。その結果、全てのメモリセル M C の閾値電圧が負となり、データが消去される。

#### 【0062】

次に、上記書き込み動作及び消去動作を、特に書き込み用デコーダ 30 に着目しつつ、詳細に説明する。

#### 【0063】

##### <書き込み動作>

まず書き込み動作について図 6 乃至図 9 を用いて説明する。図 6 は、各ノード及び各種信号のタイムチャートである。また図 7 乃至図 9 は、書き込み用デコーダ 30 及びメモリセルアレイ 20 の一部領域の回路図である。

## 【0064】

まず、図6において、時刻  $t_0$  で書き込み動作を始めるとする。時刻  $t_0$  以前では、昇圧回路120、130がそれぞれ生成する電圧  $V_{DDW}$ 、 $V_{NEG}$  は、 $V_{cc2}$ 、0Vである。そして、時刻  $t_0$  で書き込み動作がスタートする。図7は、時刻  $t_0 \sim t_3$  までの間の状態を示している。以下、図6、図7と併せて説明する。まず昇圧回路120は、生成電圧  $V_{DDW}$  を  $V_{cc2}$  から  $V_{pp}$  (12V) にブートする。書き込み用デコーダ30における  $V_{CGNW}$  ノードには  $V_{DDW}$  が与えられているから、 $V_{CGNW}$  ノードにおける電位も  $V_{pp}$  に上昇する。更に、ロウアドレスデコード回路31におけるスイッチ素子35、36がオン状態となる。またスイッチ素子140、141がオフ状態となる。よって、インバータ34は、 $V_{CGNW}$ 、 $V_{CGPW}$  を電源電圧として動作する。なお  $V_{CGPW}$  ノードの電位は、常時0Vである。すると、選択ワード線(図7ではワード線  $WL_0$ )に対応するNANDゲート33の出力は“L”レベルであるから、インバータ34の出力は  $V_{DDW} = V_{pp}$  ( $V_{CGNW}$  ノードの電位)となる。他方、非選択ワード線に対応するNANDゲート33の出力は“H”レベルであるから、インバータ34の出力は0V ( $V_{CGPW}$  ノードの電位)となる。その結果、選択ワード線の電位は  $V_{CGNW} = V_{pp}$ 、非選択ワード線の電位は  $V_{CGPW} = 0V$  となる。また、制御信号  $WSG$  が“H”レベル ( $V_{cc2}$ ) とされるため、pチャネルMOSトランジスタ37は全てオン状態とされる。なお、制御信号  $ZISOG$  は、書き込み動作時は“L”レベル (0V) とされており、pチャネルMOSトランジスタ48はオフ状態である。

## 【0065】

電圧  $V_{DDW}$  が  $V_{pp}$  に達した時刻  $t_1$  において、昇圧回路130は、生成電圧  $V_{NEG}$  を0Vから  $V_{BB}$  (-8V) にブートする。また、スイッチ素子142はオン状態とされる。そして、制御回路100は、スイッチ素子142を介して、メモリセルアレイ20が形成されたp型ウェル領域156に、昇圧回路130が生成する電圧  $V_{NEG}$  を与える。その結果、p型ウェル領域156の電位  $V_{PW}$  は  $V_{BB}$  となる。また、電圧  $V_{NEG}$  は、 $V_{SGPW}$  ノードにも与えられている。そして、スイッチ素子143は、 $V_{SGPW}$  ノードと、pチャネルMOSトラン

ジスタ 37 とを接続する。従って、p チャネル MOS トランジスタ 37 の不純物拡散層及びバックゲートの電位も  $V_{BB}$  となる。すると、p チャネル MOS トランジスタ 37 はオン状態にあるから、セレクトゲート線  $SG_0 \sim SG_{(4m-1)}$  の全ての電位は  $V_{NEG} = V_{BB}$  となる。そのため、選択トランジスタ ST はオフ状態とされる。なおこの時点において、スイッチ素子 142 からメモリセルアレイ 20 に達するパスと、 $V_{SGPW}$  ノードとは、スイッチ素子 143 によって分離されている。すなわち、ウェル電位  $V_{PW}$  とセレクトゲート線の電位とは同じ  $V_{BB}$  ではあるが、異なるパスによって  $V_{BB}$  が供給される。

#### 【0066】

以上のようにして、選択ワード線  $WL_0$  に  $V_{pp}$  が与えられ、非選択ワード線に 0 V が与えられ、全セレクトゲート線  $SG_0 \sim SG_{(4m-1)}$  に  $V_{BB}$  が与えられ、ウェル領域 156 に  $V_{BB}$  が与えられる。その状態で、ローカルビット線  $LBL_0$  に 0 V または -8 V が印加されることで、ワード線  $WL_0$  に接続されたメモリセル MC にデータが書き込まれる（時刻  $t_2 \sim t_3$ ）。

#### 【0067】

時刻  $t_2 \sim t_3$  でデータの書き込みを行った後は、ワード線  $WL_0$ 、セレクトゲート線  $SG_0 \sim SG_{(4m-1)}$ 、及びウェル電位  $V_{PW}$  を 0 V に戻す。0 V に戻すに当たっては、まずワード線  $WL_0$  とウェル電位  $V_{PW}$  とがフローティング状態にされる。この様子を示しているのが図 6 における時刻  $t_3 \sim t_4$  であり、図 8 である。すなわち、ロウアドレスデコード回路 31 において、選択ワード線  $WL_0$  に対応したインバータ 34 のスイッチ 35 がオフ状態とされる。この状態においては、図 4 に示す p チャネル MOS トランジスタ 38 のソースは、 $V_{CGNW}$  ノードにも制御回路 100 にも接続されていない。従って、インバータ 34 の出力、すなわちワード線  $WL_0$  の電位はフローティング状態となる。また、スイッチ 142 がオフ状態とされる。その結果、メモリセルが形成される p 型ウェル 156 にはいずれからも電圧が供給されず、p 型ウェル 156 はフローティング状態となる。なお、セレクトゲート線には依然として  $V_{BB}$  が供給され、非選択ワード線には 0 V が供給されている。

#### 【0068】

上記のように選択ワード線WL0とp型ウェル領域156の電位をフローティングにした後は、ワード線WL0とp型ウェル領域156とをショートする。この様子を示しているのが、図6における時刻t4～t5であり、図9である。すなわち、ロウアドレスデコード回路31において、選択ワード線WL0に対応したインバータ34のスイッチ36がオフ状態とされる。そして、選択ワード線WL0に対応したインバータ34に接続されるスイッチ140、141がオン状態とされる。この状態においては、図4に示すpチャネルMOSトランジスタ38のソースは、制御回路100に接続されている。また、スイッチ142がオン状態とされ、p型ウェル156は制御回路100に接続される。その結果、ワード線WL0と、p型ウェル領域156とが電氣的に接続される。本例では、制御回路100内において、ワード線WL0に接続されたノードと、p型ウェル領域156の電位VPWに接続されたノードとがショートされる。両者がショートされることにより、両者の電位はほぼ同電位に近づく。なお、選択ワード線WL0とp型ウェル領域156とをフローティングにする理由は、上記のように両者をショートさせる必要があるからである。そして、両者をフローティングにすることなく両者をショートさせると、昇圧回路120、130のそれぞれの出力（正電位Vpp、負電位VBB）がショートされてしまい、フラッシュメモリが破壊される虞があるからである。

#### 【0069】

また時刻t4～t5においては、スイッチ素子143は、セレクトゲート線SG0～SG(4m-1)と、VSGPWノードとの間を非接続とする。そして、スイッチ素子142からp型ウェル156に達するパスと、セレクトゲート線SG0～SG(4m-1)とを接続する。その結果、セレクトゲート線SG0～SG(4m-1)の電位は、p型ウェル領域156の電位VPWと同じように変化する。

#### 【0070】

上記のように、時刻t4～t5でp型ウェル領域156と選択ワード線WL0、及びp型ウェル領域156とセレクトゲート線SG0～SG(4m-1)との間の電位差が十分に小さくされる。前記電位差が、選択トランジスタSTのゲー



ト耐圧に問題を与えない程度まで小さくなった後（時刻  $t_5$ ）、制御回路 100 は、図 9 に示す状態において、ワード線  $WL_0$ 、p 型ウェル 156、及びセレクトゲート線  $SG_0 \sim SG(4m-1)$  に 0 V を与える。

#### 【0071】

以上の結果、全ワード線  $WL_0 \sim WL(4m-1)$ 、全セレクトゲート線  $SG_0 \sim SG(4m-1)$ 、及び p 型ウェル領域 156 が 0 V となり、書き込み動作が終了する。書き込み動作終了後、昇圧回路 130 は生成電圧  $V_{NEG}$  を 0 V に戻し、昇圧回路 120 は生成電圧  $V_{DDW}$  を  $V_{cc2}$  に戻す。その結果、 $V_{SGPW}$  ノードの電位も 0 V に戻る。また、制御信号  $WSG$  が “L” レベルとされ、p チャンネル MOS トランジスタ 37 がオフ状態となる。

#### 【0072】

##### <消去動作>

次に消去動作について図 10 乃至図 13 を用いて説明する。図 10 は、各ノード及び各種信号のタイムチャートである。また図 11 乃至図 13 は、書き込み用デコーダ 30 及びメモリセルアレイ 20 の一部領域の回路図である。

#### 【0073】

まず、図 10 において、時刻  $t_0$  で消去動作を始めるとする。図 11 は、時刻  $t_0 \sim t_3$  までの間の状態を示している。以下、図 10、図 11 と併せて説明する。まず昇圧回路 120 は、生成電圧  $V_{DDW}$  を  $V_{cc2}$  から  $V_{pp}$  にブートする。またスイッチ素子 140、141 がオフ状態となる。また時刻  $t_1$  において、制御回路 100 は、スイッチ素子 142 を介して、メモリセルアレイ 20 が形成された p 型ウェル領域 156 に、昇圧回路 120 が生成する電圧  $V_{DDW}$  を与える。その結果、p 型ウェル領域 156 の電位  $V_{PW}$  は  $V_{pp}$  となる。

#### 【0074】

電位  $V_{PW}$  が  $V_{pp}$  に達した時刻  $t_2$  において、昇圧回路 130 は、生成電圧  $V_{NEG}$  を 0 V から  $V_{BB}(-8V)$  にブートする。 $V_{CGPW}$  ノードには、昇圧回路 130 が供給する  $V_{NEG}$  が与えられる。従って、 $V_{CGPW}$  ノードにおける電位も  $V_{BB}$  に上昇する。 $V_{CGNW}$  ノードの電位は、常時  $V_{cc2}$  一定とされている。また、ロウアドレスデコード回路 31 におけるスイッチ素子 35、36 がオ

ン状態となる。よって、インバータ 34 は、 $V_{CGNW}$  ( $V_{cc2}$ )、 $V_{CGPW}$  ( $V_{BB}$ ) を電源電圧として動作する。

#### 【0075】

消去時において、全ワード線  $WL_0 \sim WL_{(4m-1)}$  に対応する NAND ゲート 33 の出力は“H”レベルであるから、インバータ 34 の出力は  $V_{NEG} = V_{BB}$  ( $V_{CGPW}$  ノードの電位) となる。その結果、ワード線の電位は  $V_{CGPW} = V_{BB}$  となる。また、制御信号  $WSG$  が“L”レベル (0 V) とされるため、p チャンネル MOS トランジスタ 37 は全てオフ状態とされる。なお、制御信号  $ZISOG$  は、書き込み動作時は“L”レベル (0 V) とされており、p チャンネル MOS トランジスタ 48 はオフ状態である。その結果、全セレクトゲート線  $SG_0 \sim SG_{(4m-1)}$  はフローティング状態とされる。なおこの時点において、スイッチ素子 142 からメモリセルアレイ 20 に達するパスと、 $V_{SGPW}$  ノードとは、スイッチ素子 143 によって分離されている。また  $V_{SGPW}$  ノードの電位は常時 0 V とされている。

#### 【0076】

以上のようにして、全ワード線  $WL_0 \sim WL_{(4m-1)}$  に  $V_{BB}$  が与えられ、全セレクトゲート線  $SG_0 \sim SG_{(4m-1)}$  がフローティングとされ、ウェル領域 156 に  $V_{pp}$  が与えられる。その結果、メモリセルトランジスタ MT のフローティングゲートから電子が引き抜かれ、データの消去が行われる (時刻  $t_2 \sim t_3$ )。

#### 【0077】

時刻  $t_2 \sim t_3$  でデータを消去した後は、ワード線  $WL_0 \sim WL_{(4m-1)}$ 、及びウェル電位  $V_{PW}$  を 0 V に戻す。0 V に戻すに当たっては、まずワード線  $WL_0 \sim WL_{(4m-1)}$  とウェル電位  $V_{PW}$  とがフローティング状態にされる (セレクトゲート線はフローティング状態のまま)。この様子を示しているのが図 10 における時刻  $t_3 \sim t_4$  であり、図 12 である。すなわち、ロウアドレスデコード回路 31 において、各ワード線  $WL_0 \sim WL_{(4m-1)}$  に対応したインバータ 34 のスイッチ 36 がオフ状態とされる。この状態においては、図 4 に示す n チャンネル MOS トランジスタ 39 のソースは、 $V_{CGPW}$  ノードにも制御

回路 100 にも接続されていない。従って、インバータ 34 の出力、すなわちワード線  $WL_0 \sim WL_{(4m-1)}$  の電位はフローティング状態となる。また、スイッチ 142 がオフ状態とされる。その結果、メモリセルが形成される p 型ウェル 156 にはいずれからも電圧が供給されず、p 型ウェル 156 はフローティング状態となる。

#### 【0078】

上記のようにワード線  $WL_0 \sim WL_{(4m-1)}$  と p 型ウェル領域 156 の電位をフローティングにした後は、ワード線  $WL_0 \sim WL_{(4m-1)}$  と p 型ウェル領域 156 とをショートする。この様子を示しているのが、図 10 における時刻  $t_4 \sim t_5$  であり、図 13 である。すなわち、ロウアドレスデコード回路 31 において、更にスイッチ 36 がオフ状態とされる。そして、スイッチ 140、141 がオン状態とされる。この状態においては、図 4 に示す n チャネル MOS トランジスタ 39 のソースは、制御回路 100 に接続されている。また、スイッチ 142 がオン状態とされ、p 型ウェル 156 は制御回路 100 に接続される。その結果、ワード線  $WL_0 \sim WL_{(4m-1)}$  と、p 型ウェル領域 156 とが電氣的に接続される。本例では、制御回路 100 内において、ワード線  $WL_0 \sim WL_{(4m-1)}$  に接続されたノードと、p 型ウェル領域 156 の電位  $VPW$  に接続されたノードとがショートされる。両者がショートされることにより、両者の電位はほぼ同電位に近づく。なお、セレクトゲート線  $SG_0 \sim SG_{(4m-1)}$  は常時フローティング状態にあるため、その電位は、カップリングによって p 型ウェル領域 156 の電位  $VPW$  と同じように変化する。

#### 【0079】

上記のように、時刻  $t_4 \sim t_5$  で p 型ウェル領域 156 とワード線  $WL_0 \sim WL_{(4m-1)}$  との間の電位差が十分に小さくされる。前記電位差が、選択トランジスタ ST のゲート耐圧に問題を与えない程度まで小さくなった後（時刻  $t_5$ ）、制御回路 100 は、図 13 に示す状態において、ワード線  $WL_0 \sim WL_{(4m-1)}$ 、及び p 型ウェル 156 に 0 V を与える。

#### 【0080】

以上の結果、全ワード線  $WL_0 \sim WL_{(4m-1)}$ 、全セレクトゲート線  $SG$

0 ~ SG (4m-1)、及び p 型ウェル領域 156 が 0 V となり、消去動作が終了する。消去動作終了後、昇圧回路 130 は生成電圧 VNEG を 0 V に戻し、昇圧回路 120 は生成電圧 VDDW を Vcc2 に戻す。

#### 【0081】

上記のように、この発明の第 1 の実施形態に係るフラッシュメモリであると、以下の効果が得られる。

#### 【0082】

(1) フラッシュメモリの動作信頼性を向上出来る。

本実施形態に係る構成であると、書き込み終了後及び消去終了後、選択ワード線と、メモリセルが形成されるウェル領域とをフローティングにしている。そして、フローティングにした後、両者をショートして電位差を小さくしている。更に、ワード線とウェル領域との間のカップリングが殆ど問題ない程度に電位差が小さくなった後、ワード線とウェル領域に 0 V を与えている。従って、ワード線とウェル領域とを 0 V に戻す際、ワード線とウェル領域との間のカップリングの影響は殆ど無い。その結果、メモリセルトランジスタのゲート絶縁膜が絶縁破壊を起こしたり、または書き込み用デコーダ内の半導体素子にフォワードバイアス状態を誘引して、周辺回路に誤動作を起こさせたりすることを抑制できる。

#### 【0083】

また、書き込み時から書き込み終了後にかけて、セレクトゲート線と、メモリセルが形成されるウェル領域とは、常時同電位とされている。また、消去時から消去終了後にかけて、セレクトゲート線は常時フローティングとされている。従って、上記の選択ワード線とウェル領域とを 0 V に戻す際も、セレクトゲート線の電位はウェル領域と同じように変化する。従って、セレクトゲート線とウェル領域との間のカップリングが問題になることはない。更に、両者は常時同電位であるので、選択トランジスタのゲート絶縁膜にはストレスがかからず、絶縁破壊を起こすことが抑制される。また、上記のように、カップリングによるセレクトゲート線の電位変化が、書き込み用デコーダの誤動作の原因となることを抑制できる。

#### 【0084】

上記の結果、フラッシュメモリの動作信頼性を向上できる。

#### 【0085】

次に、この発明の第2の実施形態に係る不揮発性半導体記憶装置について説明する。本実施形態は、上記第1の実施形態において、書き込み用デコーダ30内のスイッチ素子群32と、メモリセルアレイ20とを、同一のウェル領域内に形成したものである。図14は、本実施形態に係るフラッシュメモリ10の一部領域回路図であり、特に書き込み用デコーダ30及びセレクトゲートデコーダ40の詳細を示す回路図である。また図15は、図14に示すメモリセルアレイ20、セレクトゲートデコーダ40、及び書き込み用デコーダ30の、一部領域の断面図である。図14では特に、1個のメモリセルMC、インバータ34、47、及びMOSトランジスタ37、48についてのみ示している。フラッシュメモリのブロック構成や、メモリセルアレイ20の回路構成は、上記第1の実施形態と同様であるので、説明は省略する。

#### 【0086】

図示するように、メモリセルMC、及びスイッチ素子群32内のpチャネルMOSトランジスタ37は、n型ウェル領域152の表面内に形成されたp型ウェル領域158上に形成されている。従って、pチャネルMOSトランジスタ37のバックゲートバイアスは、p型ウェル領域158の電位VPWと同電位である。また、pチャネルMOSトランジスタ37の電流経路の一端（セレクトゲート線に接続されない方）の電位も、電位VPWと同電位であり、スイッチ素子142を介して制御回路100に接続されている。そして、上記第1の実施形態におけるスイッチ素子143が廃されている。その他の構成は、上記第1の実施形態と同様である。

#### 【0087】

次に、本実施形態に係るフラッシュメモリの書き込み動作及び消去動作について、特に書き込み用デコーダ30に着目して、詳細に説明する。ここでは、特に上記第1の実施形態と異なる点について詳細に説明する。なお、読み出し動作は、上記第1の実施形態と同様であるので説明を省略する。

#### 【0088】

### ＜書き込み動作＞

まず、図 16 において、時刻  $t_0$  で書き込み動作を始めるとする。図 17 は、時刻  $t_0 \sim t_3$  までの間の状態を示している。以下、図 16、図 17 と併せて説明する。まず昇圧回路 120 は、生成電圧  $V_{DDW}$  を  $V_{cc2}$  から  $V_{pp}$  (12V) にブートする。書き込み用デコーダ 30 の動作は、上記第 1 の実施形態と同様である。すなわち、 $V_{CGNW}$  ノードにおける電位も  $V_{pp}$  に上昇する。更に、ロウアドレスデコード回路 31 におけるスイッチ素子 35、36 がオン状態となり、スイッチ素子 140、141 がオフ状態となる。よって、インバータ 34 は、 $V_{CGNW}$  ( $V_{pp}$ )、 $V_{CGPW}$  (0V) を電源電圧として動作する。従って、選択ワード線 (図 17 ではワード線  $WL_0$ ) の電位は  $V_{CGNW} = V_{pp}$ 、非選択ワード線の電位は  $V_{CGPW} = 0V$  となる。また、制御信号  $WSG$  が “H” レベル ( $V_{cc2}$ ) とされるため、p チャネル MOS トランジスタ 37 は全てオン状態とされる。なお、p チャネル MOS トランジスタ 48 はオフ状態である。

#### 【0089】

電圧  $V_{DDW}$  が  $V_{pp}$  に達した時刻  $t_1$  において、昇圧回路 130 は、生成電圧  $V_{NEG}$  を 0V から  $V_{BB}$  (-8V) にブートする。また、スイッチ素子 142 がオン状態とされる。そして、制御回路 100 は、スイッチ素子 142 を介して、メモリセルアレイ 20 及び p チャネル MOS トランジスタ 37 が形成された p 型ウェル領域 158 に、昇圧回路 130 が生成する電圧  $V_{NEG}$  を与える。勿論、p チャネル MOS トランジスタ 37 の電流経路の一端にも、電圧  $V_{NEG}$  が与えられる。その結果、p 型ウェル領域 158 の電位  $V_{PW}$ 、及びセレクトゲート線  $SG_0 \sim SG_{(4m-1)}$  の電位は  $V_{BB}$  となる。

#### 【0090】

以上のようにして、選択ワード線  $WL_0$  に  $V_{pp}$  が与えられ、非選択ワード線に 0V が与えられ、全セレクトゲート線  $SG_0 \sim SG_{(4m-1)}$  に  $V_{BB}$  が与えられ、ウェル領域 158 に  $V_{BB}$  が与えられる。その状態で、メモリセル MC にデータが書き込まれる (時刻  $t_2 \sim t_3$ )。

#### 【0091】

時刻  $t_2 \sim t_3$  でデータの書き込みを行った後は、ワード線  $WL_0$ 、セレクト

ゲート線SG0～SG(4m-1)、及びウェル電位VPWを0Vに戻す。0Vに戻すに当たっては、まずワード線WL0、ウェル電位VPW、及びセレクトゲート線SG0～SG(4m-1)がフローティング状態にされる。この様子を示しているのが図6における時刻t3～t4であり、図18である。すなわち、ロウアドレスデコード回路31において、選択ワード線WL0に対応したインバータ34のスイッチ35がオフ状態とされる。従って、ワード線WL0の電位はフローティング状態となる。また、スイッチ142がオフ状態とされる。その結果、p型ウェル158及びセレクトゲート線SG0～SG(4m-1)にはいずれからも電圧が供給されず、p型ウェル158及びセレクトゲート線SG0～SG(4m-1)はフローティング状態となる。

#### 【0092】

上記のように選択ワード線WL0、p型ウェル領域158の電位VPW、及びセレクトゲート線SG0～SG(4m-1)をフローティングにした後は、ワード線WL0、p型ウェル領域158、及びセレクトゲート線SG0～SG(4m-1)をショートする。この様子を示しているのが、図6における時刻t4～t5であり、図19である。すなわち、ロウアドレスデコード回路31において、選択ワード線WL0に対応したインバータ34のスイッチ36がオフ状態とされる。そして、選択ワード線WL0に対応したインバータ34に接続されるスイッチ140、141オン状態とされる。また、スイッチ142がオン状態とされ、p型ウェル158及びセレクトゲート線SG0～SG(4m-1)は制御回路100に接続される。その結果、ワード線WL0と、p型ウェル領域158、及びセレクトゲート線SG0～SG(4m-1)が電氣的に接続される。本例では、制御回路100内において、ワード線WL0に接続されたノードと、p型ウェル領域158及びpチャンネルMOSトランジスタ37の電流経路の一端に接続されたノードとがショートされる。両者がショートされることにより、3者の電位はほぼ同電位に近づく。

#### 【0093】

上記のように、時刻t4～t5でp型ウェル領域158と選択ワード線WL0との間の電位差が十分に小さくされる。p型ウェル領域158とセレクトゲート

線SG0～SG(4m-1)との間の電位差は、もともと殆どゼロである。p型ウェル領域158と選択ワード線WL0との間の電位差が十分に小さくなった後(時刻t5)、制御回路100は、図19に示す状態において、ワード線WL0、p型ウェル156、及びセレクトゲート線SG0～SG(4m-1)に0Vを与える。

#### 【0094】

以上の結果、全ワード線WL0～WL(4m-1)、全セレクトゲート線SG0～SG(4m-1)、及びp型ウェル領域156が0Vとなり、書き込み動作が終了する。

#### 【0095】

##### <消去動作>

次に消去動作について図20乃至図22を用いて説明する。図20乃至図22は、書き込み用デコーダ30及びメモリセルアレイ20の一部領域の回路図である。なお、各ノードにおける電位及び各種信号のタイミングチャートは、図10においてVSGPWを除いた他は全く同様である。

#### 【0096】

まず、図10において、時刻t0で消去動作を始めるとする。図20は、時刻t0～t3までの間の状態を示している。まず昇圧回路120は、生成電圧VDDWをVcc2からVppにブートする。またスイッチ素子140、141がオフ状態となる。また時刻t1において、制御回路100は、スイッチ素子142を介して、p型ウェル領域158に、昇圧回路120が生成する電圧VDDWを与える。その結果、p型ウェル領域158の電位VPW(pチャネルMOSトランジスタ37のバックゲートバイアス)はVppとなる。しかし、制御信号WSGが“L”レベル(0V)とされるため、pチャネルMOSトランジスタ37は全てオフ状態である。従って、セレクトゲート線SG0～SG(4m-1)はフローティング状態とされる。

#### 【0097】

電位VPWがVppに達した時刻t2において、昇圧回路130は、生成電圧VNEGを0VからVBB(-8V)にブートする。VCGPWノードには、昇圧回



路 130 が供給する  $V_{NEG}$  が与えられる。 $V_{CGNW}$  ノードの電位は、常時  $V_{cc2}$  一定とされている。また、ロウアドレスデコード回路 31 におけるスイッチ素子 35、36 がオン状態となる。よって、インバータ 34 は、 $V_{CGNW}$  ( $V_{cc2}$ )、 $V_{CGPW}$  ( $V_{BB}$ ) を電源電圧として動作する。

#### 【0098】

消去時において、全ワード線  $WL_0 \sim WL_{(4m-1)}$  に対応する NAND ゲート 33 の出力は “H” レベルである。その結果、ワード線の電位は  $V_{CGPW} = V_{BB}$  となる。

#### 【0099】

以上のようにして、全ワード線  $WL_0 \sim WL_{(4m-1)}$  に  $V_{BB}$  が与えられ、全セレクトゲート線  $SG_0 \sim SG_{(4m-1)}$  がフローティングとされ、ウェル領域 156 に  $V_{pp}$  が与えられる。その結果、メモリセルトランジスタ MT のフローティングゲートから電子が引き抜かれ、データの消去が行われる（時刻  $t_2 \sim t_3$ ）。

#### 【0100】

時刻  $t_2 \sim t_3$  でデータを消去した後は、ワード線  $WL_0 \sim WL_{(4m-1)}$ 、及びウェル電位  $V_{PW}$  を 0 V に戻す。0 V に戻すに当たっては、まずワード線  $WL_0 \sim WL_{(4m-1)}$  とウェル電位  $V_{PW}$  とがフローティング状態にされる（セレクトゲート線はフローティング状態のまま）。この様子を示しているのが図 10 における時刻  $t_3 \sim t_4$  であり、図 21 である。すなわち、ロウアドレスデコード回路 31 において、スイッチ 36 がオフ状態とされる。従って、インバータ 34 の出力、すなわちワード線  $WL_0 \sim WL_{(4m-1)}$  の電位はフローティング状態となる。また、スイッチ 142 がオフ状態とされる。その結果、p 型ウェル 158 はフローティング状態となる。

#### 【0101】

上記のようにワード線  $WL_0 \sim WL_{(4m-1)}$  と p 型ウェル領域 158 の電位をフローティングにした後は、ワード線  $WL_0 \sim WL_{(4m-1)}$  と p 型ウェル領域 156 とをショートする。この様子を示しているのが、図 10 における時刻  $t_4 \sim t_5$  であり、図 22 である。すなわち、ロウアドレスデコード回路 31

において、更にスイッチ 36 がオフ状態とされる。そして、スイッチ 140、150 がオン状態とされる。また、スイッチ 142 がオン状態とされ、p 型ウェル 158 は制御回路 100 に接続される。その結果、ワード線 WL0～WL(4m-1) と、p 型ウェル領域 158 とが電氣的に接続される。本例では、制御回路 100 内において、ワード線 WL0～WL(4m-1) に接続されたノードと、p 型ウェル領域 158 に接続されたノードとがショートされる。両者がショートされることにより、両者の電位はほぼ同電位に近づく。

#### 【0102】

上記のように、時刻 t4～t5 で p 型ウェル領域 158 とワード線 WL0～WL(4m-1) との間の電位差が十分に小さくされた後（時刻 t5）、制御回路 100 は、図 22 に示す状態において、ワード線 WL0～WL(4m-1)、及び p 型ウェル 156 に 0V を与える。

#### 【0103】

以上の結果、全ワード線 WL0～WL(4m-1)、全セレクトゲート線 SG0～SG(4m-1)、及び p 型ウェル領域 156 が 0V となり、消去動作が終了する。消去動作終了後、昇圧回路 130 は生成電圧 VNEG を 0V に戻し、昇圧回路 120 は生成電圧 VDDW を Vcc2 に戻す。

#### 【0104】

上記のように、この発明の第 2 の実施形態に係るフラッシュメモリであると、スイッチ素子群 32 とメモリセル MC とを、同一の p 型ウェル領域 158 上に形成している。この場合であっても、上記第 1 の実施形態と同様に（1）の効果が得られる。また同時に、下記（2）の効果が得られる。

#### 【0105】

（2）フラッシュメモリの製造工程を簡単化出来る。

本実施形態では、スイッチ群 32 とメモリセル MC とを、同一の p 型ウェル領域 158 に形成している。従って、上記第 1 の実施形態に比べて、p 型ウェル領域の数が減り、製造工程が簡単化される。

#### 【0106】

また、セレクトゲート線 SG0～SG(4m-1) は、p 型ウェル領域 158

に接続されている。換言すれば、セレクトゲート線SG0～SG(4m-1)の電位は、制御回路100からスイッチ素子142を介してp型ウェル領域に至る経路によって、与えられる。すなわち、セレクトゲート線SG0～SG(4m-1)に電位を与えるための経路は、p型ウェル領域158に電位を与える経路と共通である。従って、上記第1の実施形態に係る構成で必要であったスイッチ素子143と、制御回路100からp型ウェル領域156に至るパスとスイッチ素子143とを接続するパスとが不要になる。従って、回路構成が簡略化され、製造工程が簡単化される。その結果、フラッシュメモリの製造コストを削減できる。

#### 【0107】

次に、この発明の第3の実施形態に係る不揮発性半導体記憶装置について説明する。本実施形態は、上記第1、第2の実施形態におけるカラム系回路の構成に係るものである。図23は、本実施形態に係るフラッシュメモリの備えるメモリセルアレイ20の一部領域の回路図であり、メモリセルブロックBLK、セクタSEL、及びnチャネルMOSトランジスタ21について示している。また図24は、図23に示すメモリセルアレイの断面図であり、1個のメモリセルMC、セクタSEL内のMOSトランジスタ24、及びnチャネルMOSトランジスタ21のみを示している。その他の構成は、上記第1、第2の実施形態と同様であるので、説明は省略する。

#### 【0108】

図示するように、セクタSEL内のMOSトランジスタ23～26は、n型ウェル領域152の表面内に形成されたp型ウェル領域159上に形成されている。p型ウェル領域159は、p型ウェル領域156またはp型ウェル領域158と分離されている。そして、nチャネルMOSトランジスタ21は、n型ウェル領域152によってp型ウェル領域156、158、159と分離された領域の、p型半導体基板150上に形成されている。

#### 【0109】

本実施形態に係る構成であると、上記第1、第2の実施形態で説明した(1)、(2)の効果に加えて、下記(3)の効果が得られる。

**【0110】**

(3) フラッシュメモリの読み出し動作を高速化出来る。

フラッシュメモリにおいては、書き込み時に $-8\text{ V}$ 、 $12\text{ V}$ 等の比較的高い電圧を取り扱う。この要求を満たすには、ゲート絶縁膜の厚い、高耐圧のMOSトランジスタを使わなくてはならない。しかし、動作速度の観点からはゲート絶縁膜の薄い低耐圧のMOSトランジスタを用いることが望ましい。

**【0111】**

この点、本実施形態に係る構成であると、MOSトランジスタ21と、セレクトSEL及びメモリセルブロックBLKとが、ウェル分離されている。従って、MOSトランジスタ21には低耐圧のMOSトランジスタが使用できる。従って、読み出し動作速度を向上できる。

**【0112】**

上記のように、この発明の第1乃至第3の実施形態に係るフラッシュメモリであると、ワード線と、メモリセルが形成されたウェル領域との間のカップリングによって誤動作を生じることを抑制できる。更に、セレクトゲート線と、メモリセルが形成されるウェル領域との間のカップリングが問題になることもない。従ってフラッシュメモリの動作信頼性を向上できる。

**【0113】**

なお、上記第1乃至第3の実施形態では、ビット線がグローバルビット線とローカルビット線とに階層化されている場合を例に挙げて説明した。しかし、階層化されていない場合にも適用できることは言うまでもない。しかし、ビット線を階層化した場合には、書き込み用グローバルビット線及び読み出し用グローバルビット線の寄生容量を削減できる結果、フラッシュメモリの動作速度を向上できる。また、非選択のローカルビット線に接続されているメモリセルへの誤書き込みの発生を効果的に防止出来、書き込み動作の信頼性を向上できる。

**【0114】**

また、上記第1乃至第3の実施形態では、選択トランジスタSTとメモリセルトランジスタMTの2つのトランジスタを含むメモリセルを有するフラッシュメモリの場合を例に挙げて説明した。しかし、上記実施形態は、NAND型フラッ

シュメモリに適用することも出来る。図25は、第1乃至第3の実施形態の第1変形例に係るフラッシュメモリのブロック図であり、NAND型フラッシュメモリについて示している。

#### 【0115】

図示するように、メモリセルアレイ20は、複数のNANDセルを備えている。NANDセルは、2つの選択トランジスタST1、ST2と、複数個のメモリセルトランジスタMTを有している。図25では、8個のメモリセルトランジスタの場合を例に挙げて説明したが、その数は16個や32個でも良く、限定されるものではない。複数個のメモリセルトランジスタMTは、選択トランジスタST1のソースと選択トランジスタST2のドレインとの間に直列接続されている。そして、同一列にある選択トランジスタST1のドレイン領域がビット線に共通接続され、選択トランジスタST2のソース領域がソース線に接続されている。メモリセルトランジスタMT及び選択トランジスタST1、ST2は、半導体基板上にゲート絶縁膜を介在して形成された積層ゲートを有している。積層ゲートは、ゲート絶縁膜上に形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含んでいる。そして、メモリセルトランジスタMTにおいては、フローティングゲートはトランジスタ毎に分離され、選択トランジスタST1、ST2においては、ワード線方向で隣接するもの同士で共通接続されている。また選択トランジスタST1、ST2においては、フローティングゲートと制御ゲートとが電氣的に接続されている。そして、同一行にあるメモリセルトランジスタMTの制御ゲートはワード線に共通接続され、同一行にある選択トランジスタST1、ST2の制御ゲートは、それぞれセレクトゲート線SGD、SGSに共通接続されている。その他の構成は、上記第1乃至第3の実施形態と同様である。

#### 【0116】

上記のようなNAND型フラッシュメモリの場合であっても、上記第1乃至第3の実施形態が適用可能である。

#### 【0117】

更に、上記実施形態は、2つの選択トランジスタST1、ST2、及び1つの

メモリセルトランジスタMTの3つのトランジスタを含むメモリセルを有するフラッシュメモリの場合にも適用できる。図26は、第1乃至第3の実施形態の第2変形例に係るフラッシュメモリのブロック図である。

#### 【0118】

図示するように、メモリセルアレイ20は、マトリクス状に配置された複数のメモリセルMCを備えている。メモリセルは、2つの選択トランジスタST1、ST2及び1つのメモリセルトランジスタMTを有している。そして、3つのトランジスタは、2つの選択トランジスタST1、ST2が、メモリセルトランジスタMTを挟むようにして、直列接続されている。同一列にある選択トランジスタST1のドレイン領域はビット線に共通接続され、選択トランジスタST2のソース領域はソース線に接続されている。メモリセルトランジスタMT及び選択トランジスタST1、ST2は、半導体基板上にゲート絶縁膜を介在して形成された積層ゲートを有している。積層ゲートは、ゲート絶縁膜上に形成されたフローティングゲートと、フローティングゲート上にゲート間絶縁膜を介在して形成された制御ゲートとを含んでいる。そして、メモリセルトランジスタMTにおいては、フローティングゲートはトランジスタ毎に分離され、選択トランジスタST1、ST2においては、ワード線方向で隣接するもの同士で共通接続されている。また選択トランジスタST1、ST2においては、フローティングゲートと制御ゲートとが電氣的に接続されている。同一行にあるメモリセルトランジスタMTの制御ゲートはワード線に共通接続され、同一行にある選択トランジスタST1、ST2の制御ゲートは、それぞれセレクトゲート線SGD、SGSに共通接続されている。その他の構成は、上記第1乃至第3の実施形態と同様である。

#### 【0119】

上記のようなフラッシュメモリの場合であっても、上記第1乃至第3の実施形態が適用可能である。

#### 【0120】

また、上記第1乃至第3の実施形態は、システムLSIにも適用できる。図27は、第1乃至第3の実施形態の第3変形例に係るシステムLSIのブロック図である。

## 【0121】

図示するように、システムLSI200は、ロジック回路領域とメモリ領域とを有している。そして、ロジック回路領域には例えばCPU210が設けられている。またメモリ領域には、上記第1乃至第3の実施形態で説明したフラッシュメモリ10、図26を用いて説明した、3つのMOSトランジスタを含むフラッシュメモリ220、及び図25を用いて説明したNAND型フラッシュメモリ230が設けられている。フラッシュメモリ10のメモリセルは、セルの直列トランジスタの数が2個である。従って、メモリセルの電流駆動能力が他のメモリセルより大きい。そのため、フラッシュメモリ10は、高速の読出し用途に向いている。図27に示すようにCPU210と同一チップに搭載した場合は、フラッシュメモリ10をCPU210のファームウェアなどを格納するROMとして使う事ができる。フラッシュメモリ10の動作速度が速いため、CPU210がRAMなどを介さずに、データを直接読み出す事が出来るようになるため、RAMなどが不要になり、システムLSIの動作速度を向上できる。また、フラッシュメモリ10は、フラッシュメモリ220及びNAND型フラッシュメモリ230と、同一の製造工程で形成出来る。例えば、不純物拡散層を形成するためのイオン注入工程や、ゲート電極及び金属配線層のパターニング工程等を、3つのフラッシュメモリについて同時に行うことが出来る。この場合、例えば不純物拡散層は、各メモリ間で同一の濃度を有することになる。このように、LSIに設けられる3つのフラッシュメモリを同一工程で形成できる結果、LSIの製造を簡略化出来る。

## 【0122】

なお、例えばロジック回路領域では、CPU210をSOI基板上に形成し、メモリ領域では、各メモリ10、220、230をバルクのシリコン基板上に形成しても良い。

## 【0123】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜

な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

#### 【0124】

##### 【発明の効果】

以上説明したように、この発明によれば、動作信頼性を向上できる不揮発性半導体記憶装置を提供できる。

##### 【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係るフラッシュメモリのブロック図

。

【図2】 この発明の第1の実施形態に係るフラッシュメモリの備えるメモリセルアレイの回路図。

【図3】 この発明の第1の実施形態に係るフラッシュメモリの備えるメモリセルアレイ、セレクトゲートデコーダ、及び書き込み用デコーダの一部領域の回路図。

【図4】 図3におけるロウアドレスデコード回路の回路図。

【図5】 この発明の第1の実施形態に係るフラッシュメモリの備えるメモリセルアレイ、セレクトゲートデコーダ、及び書き込み用デコーダの一部領域の断面図。

【図6】 この発明の第1の実施形態に係るフラッシュメモリの書き込み動作時における各種信号のタイミングチャート。

【図7】 この発明の第1の実施形態に係るフラッシュメモリの書き込み動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図8】 この発明の第1の実施形態に係るフラッシュメモリの書き込み動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図9】 この発明の第1の実施形態に係るフラッシュメモリの書き込み動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図10】 この発明の第1の実施形態に係るフラッシュメモリの消去動作



時における各種信号のタイミングチャート。

【図 1 1】 この発明の第 1 の実施形態に係るフラッシュメモリの消去動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図 1 2】 この発明の第 1 の実施形態に係るフラッシュメモリの消去動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図 1 3】 この発明の第 1 の実施形態に係るフラッシュメモリの消去動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図 1 4】 この発明の第 2 の実施形態に係るフラッシュメモリの備えるメモリセルアレイ、セレクトゲートデコーダ、及び書き込み用デコーダの一部領域の回路図。

【図 1 5】 この発明の第 2 の実施形態に係るフラッシュメモリの備えるメモリセルアレイ、セレクトゲートデコーダ、及び書き込み用デコーダの一部領域の断面図。

【図 1 6】 この発明の第 2 の実施形態に係るフラッシュメモリの書き込み動作時における各種信号のタイミングチャート。

【図 1 7】 この発明の第 2 の実施形態に係るフラッシュメモリの書き込み動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図 1 8】 この発明の第 2 の実施形態に係るフラッシュメモリの書き込み動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図 1 9】 この発明の第 2 の実施形態に係るフラッシュメモリの書き込み動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図 2 0】 この発明の第 2 の実施形態に係るフラッシュメモリの消去動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図 2 1】 この発明の第 2 の実施形態に係るフラッシュメモリの消去動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図 2 2】 この発明の第 2 の実施形態に係るフラッシュメモリの消去動作時における書き込み用デコーダ及びメモリセルアレイの回路図。

【図 2 3】 この発明の第 3 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの一部領域の回路図。

【図 2 4】 この発明の第 3 の実施形態に係るフラッシュメモリの備えるメモリセルアレイの一部領域の断面図。

【図 2 5】 この発明の第 1 乃至第 3 の実施形態の第 1 変形例に係るフラッシュメモリのブロック図。

【図 2 6】 この発明の第 1 乃至第 3 の実施形態の第 2 変形例に係るフラッシュメモリのブロック図。

【図 2 7】 この発明の第 1 乃至第 3 の実施形態の第 3 変形例に係るフラッシュメモリのブロック図。

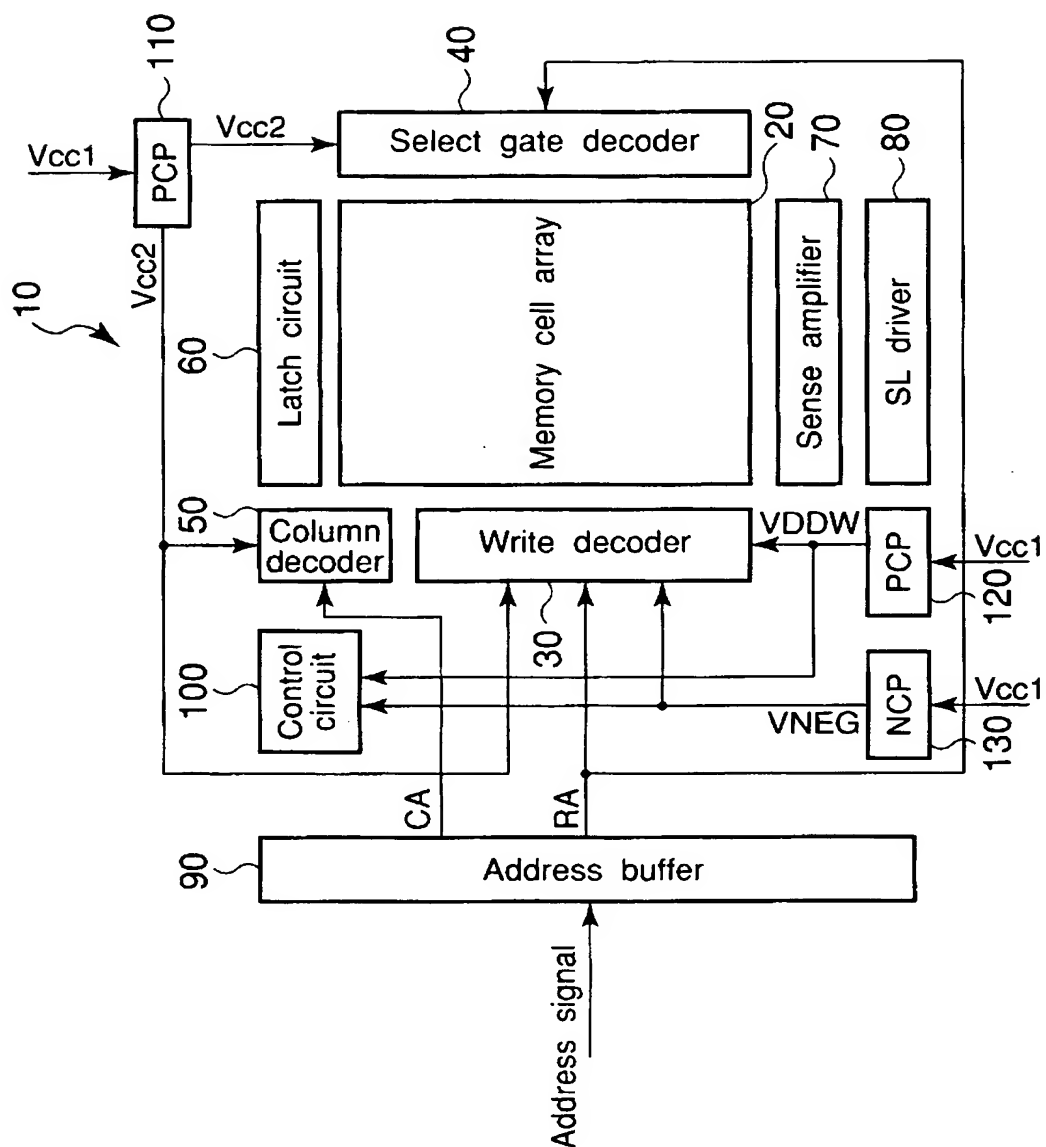
【符号の説明】

10、220、230…フラッシュメモリ、20…メモリセルアレイ、21～26、37、39、48…nチャネルMOSトランジスタ、30…書き込み用デコーダ、31、41…ロウアドレスデコード回路、32、43…スイッチ素子群、33、44…NANDゲート、34、45、47…インバータ、35、36、140～143…スイッチ素子、38…pチャネルMOSトランジスタ、40…セレクトゲートデコーダ、42…電圧変換回路、46…レベルシフト回路、50…カラムデコーダ、60…書き込み回路、70…センスアンプ、80…ソース線ドライバ、90…アドレスバッファ、100…制御回路、110～130…昇圧回路、150…p型半導体基板、151～153…n型ウェル領域、154～159…p型ウェル領域、200…システムLSI、210…CPU

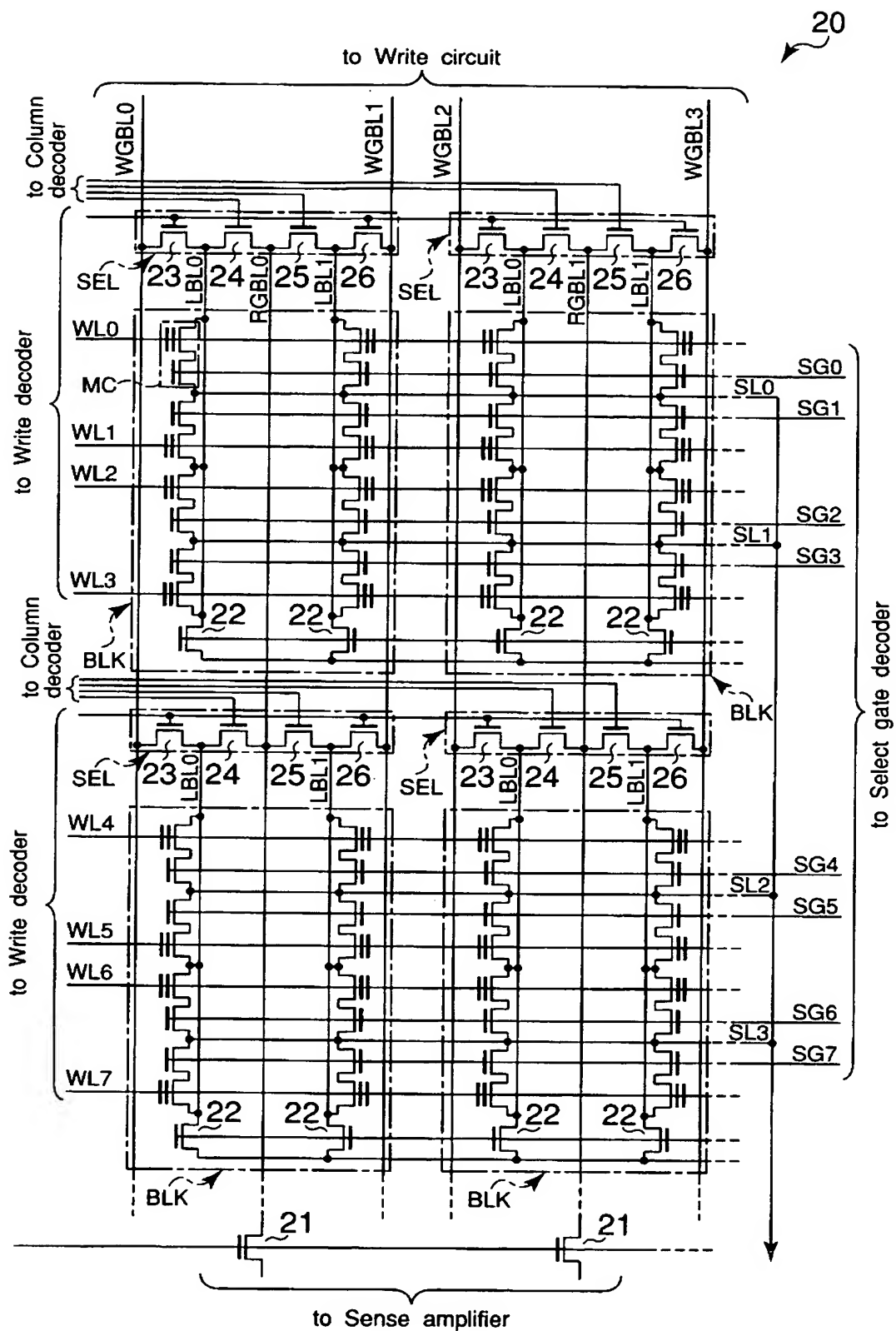
【書類名】

図面

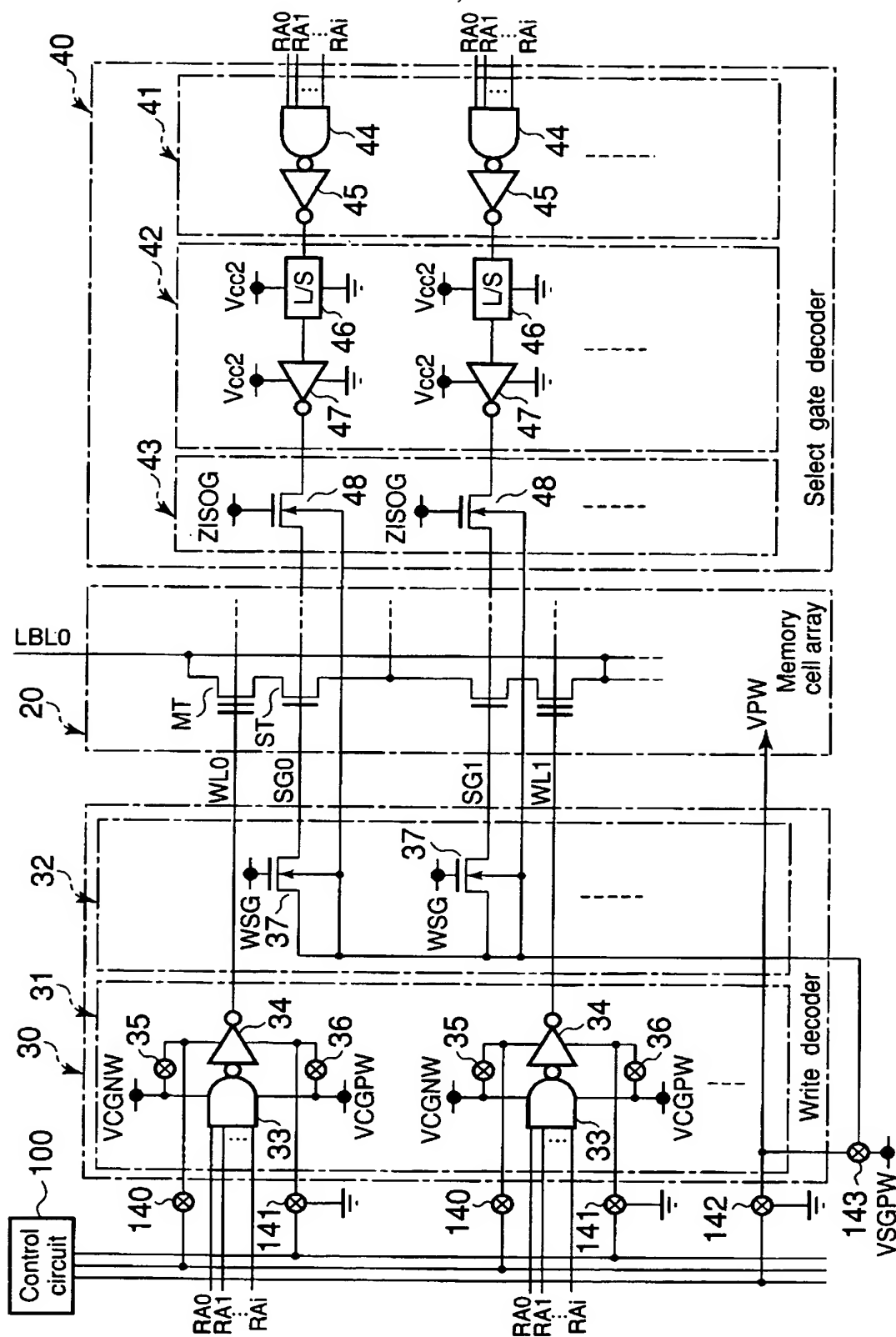
【図 1】



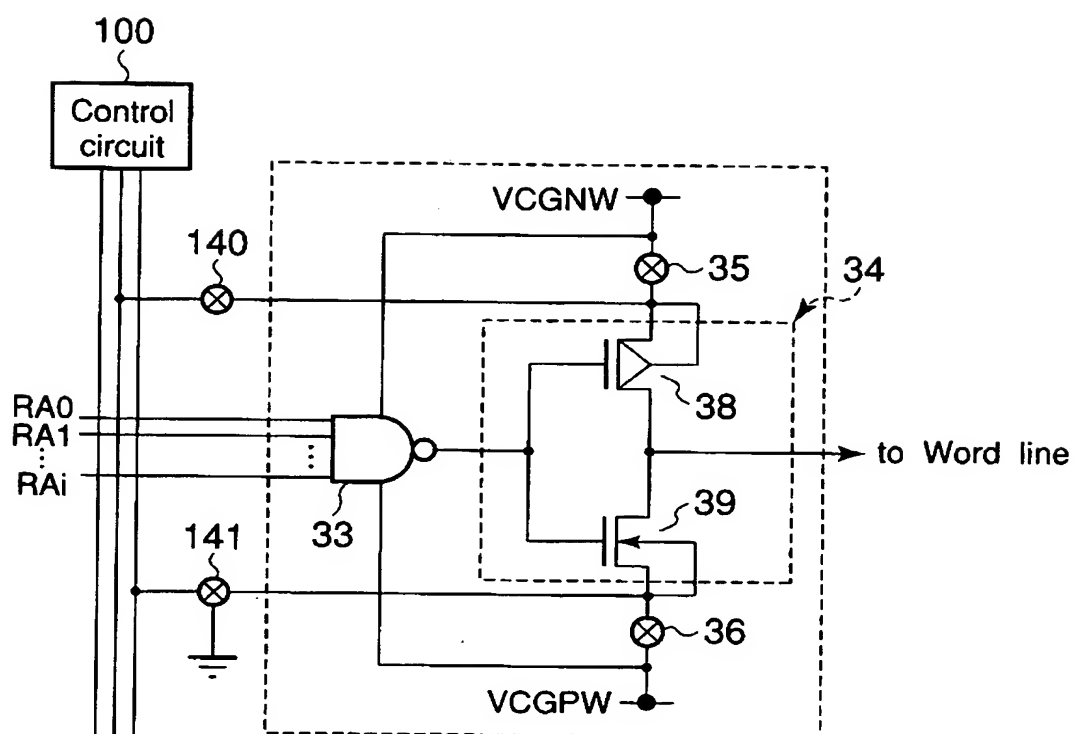
【図 2】



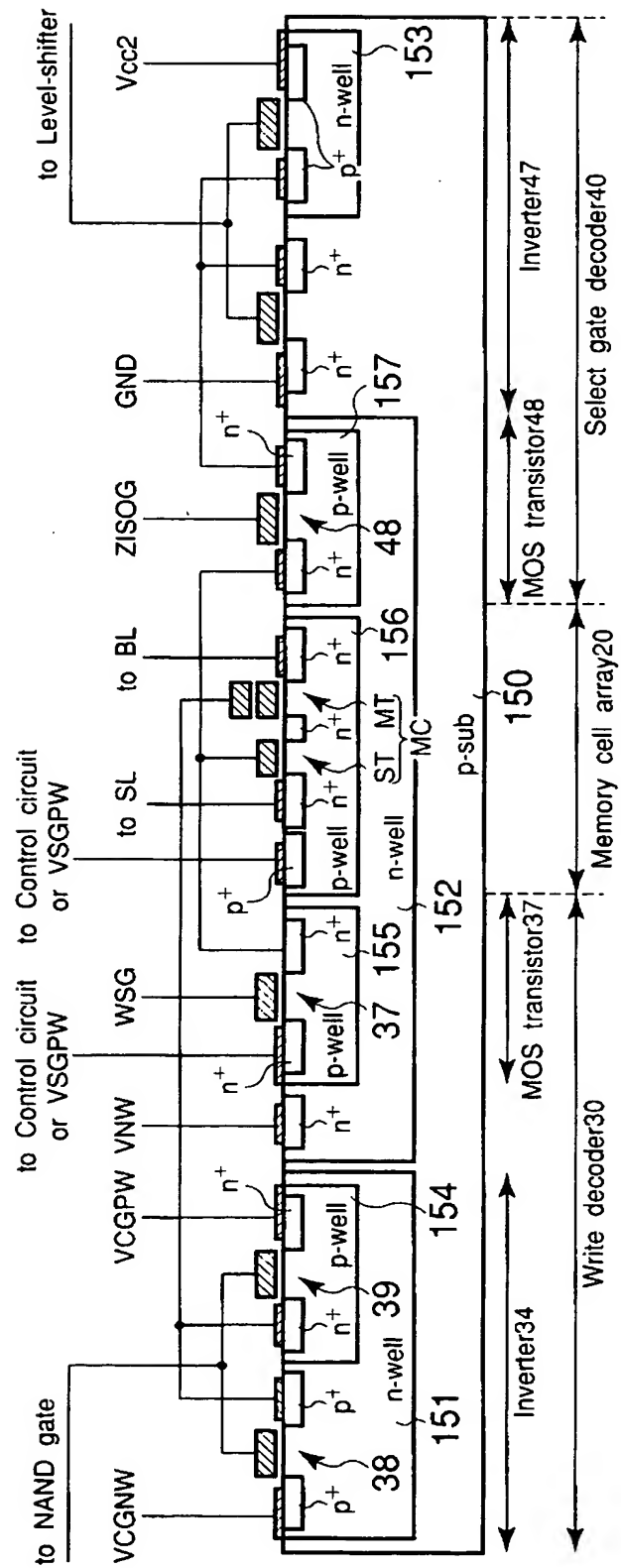
【図 3】



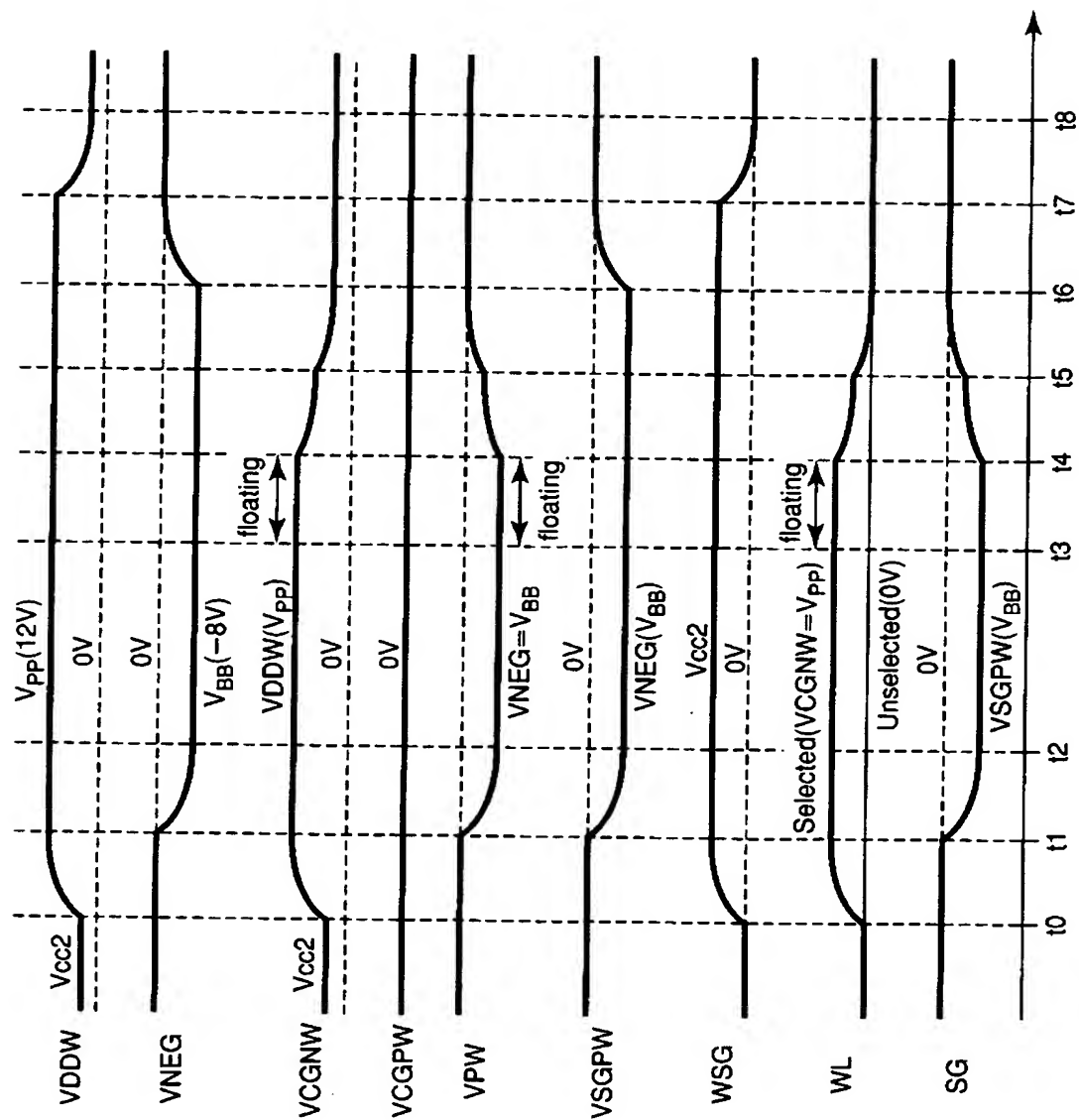
【図 4】



【図 5】

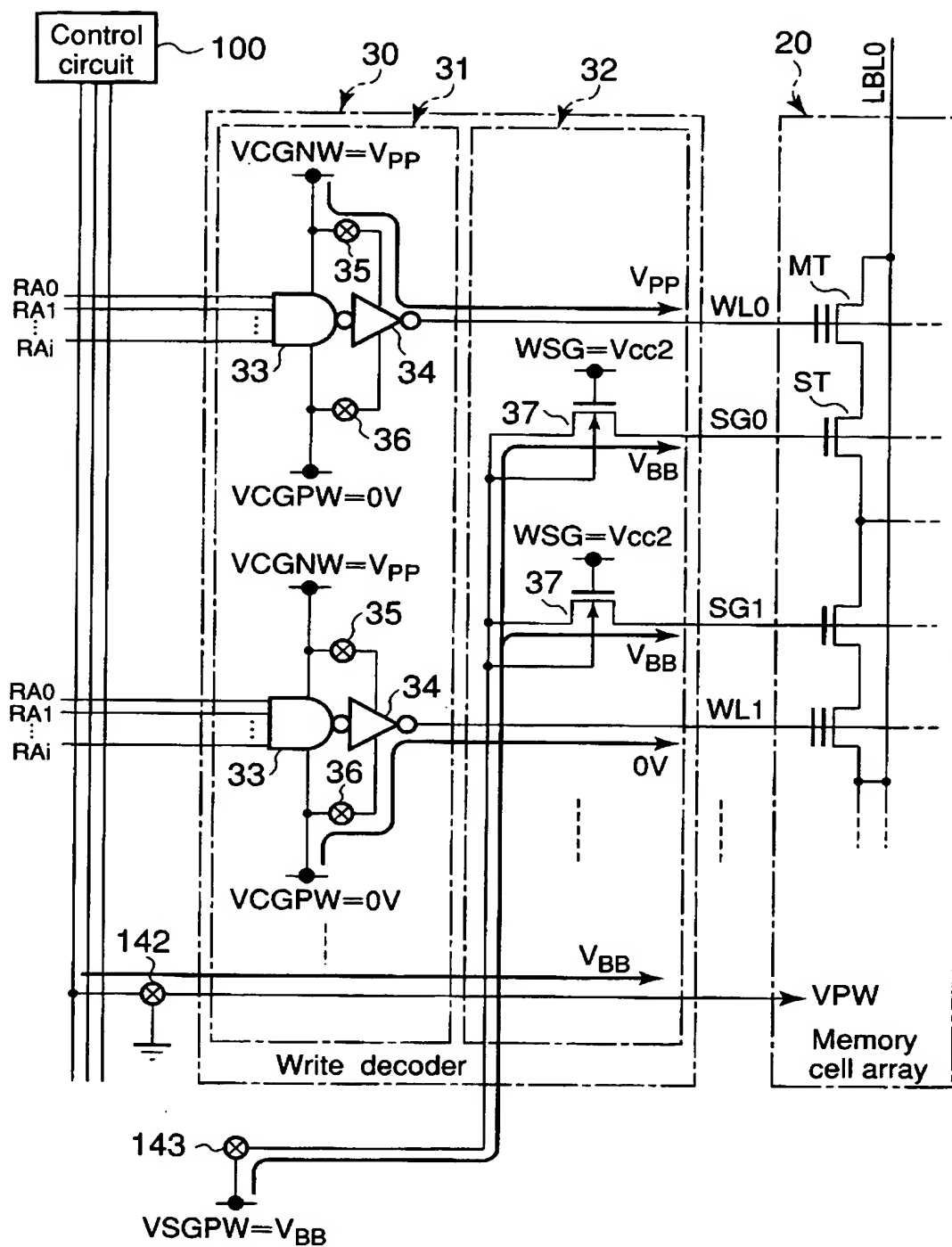


【図 6】

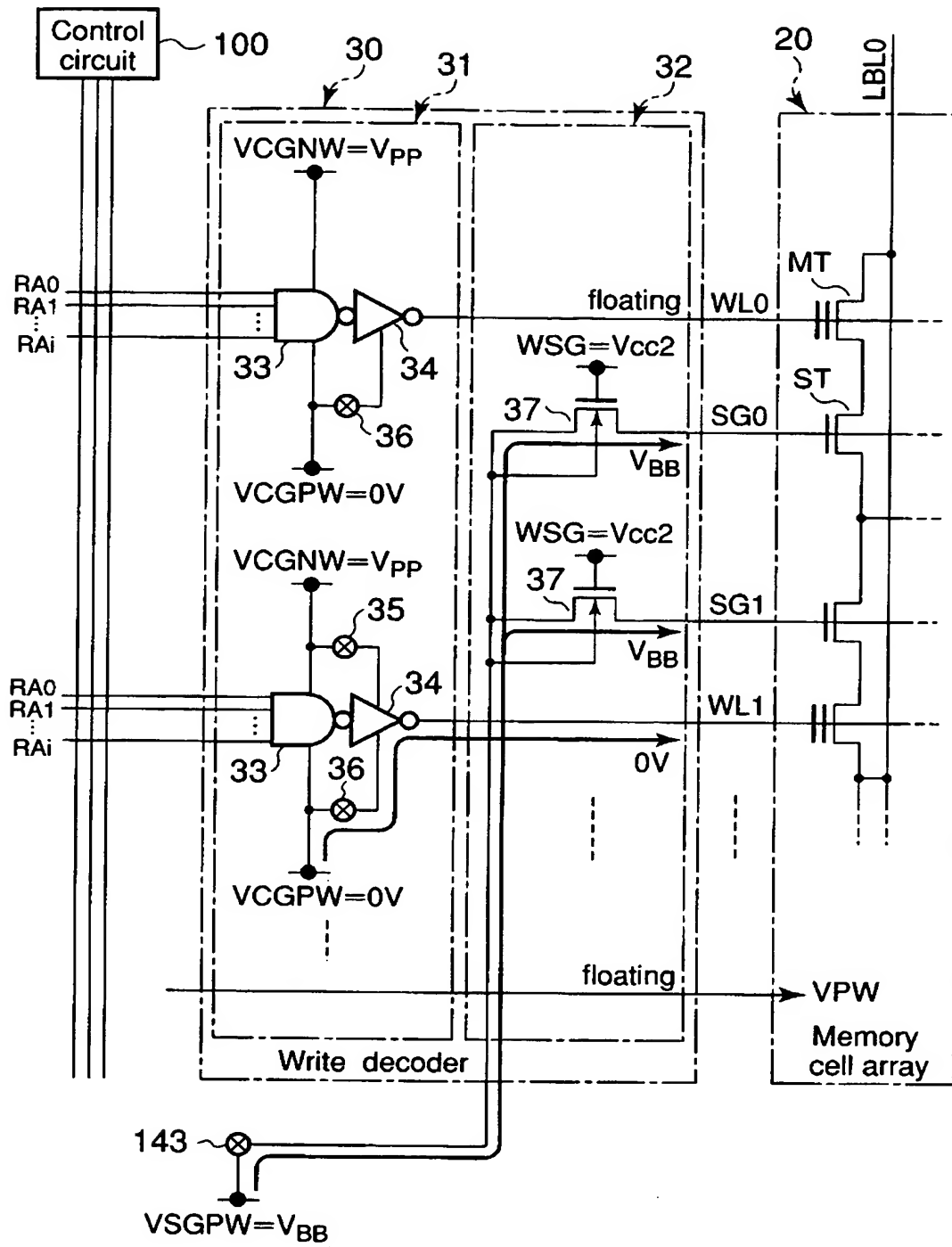




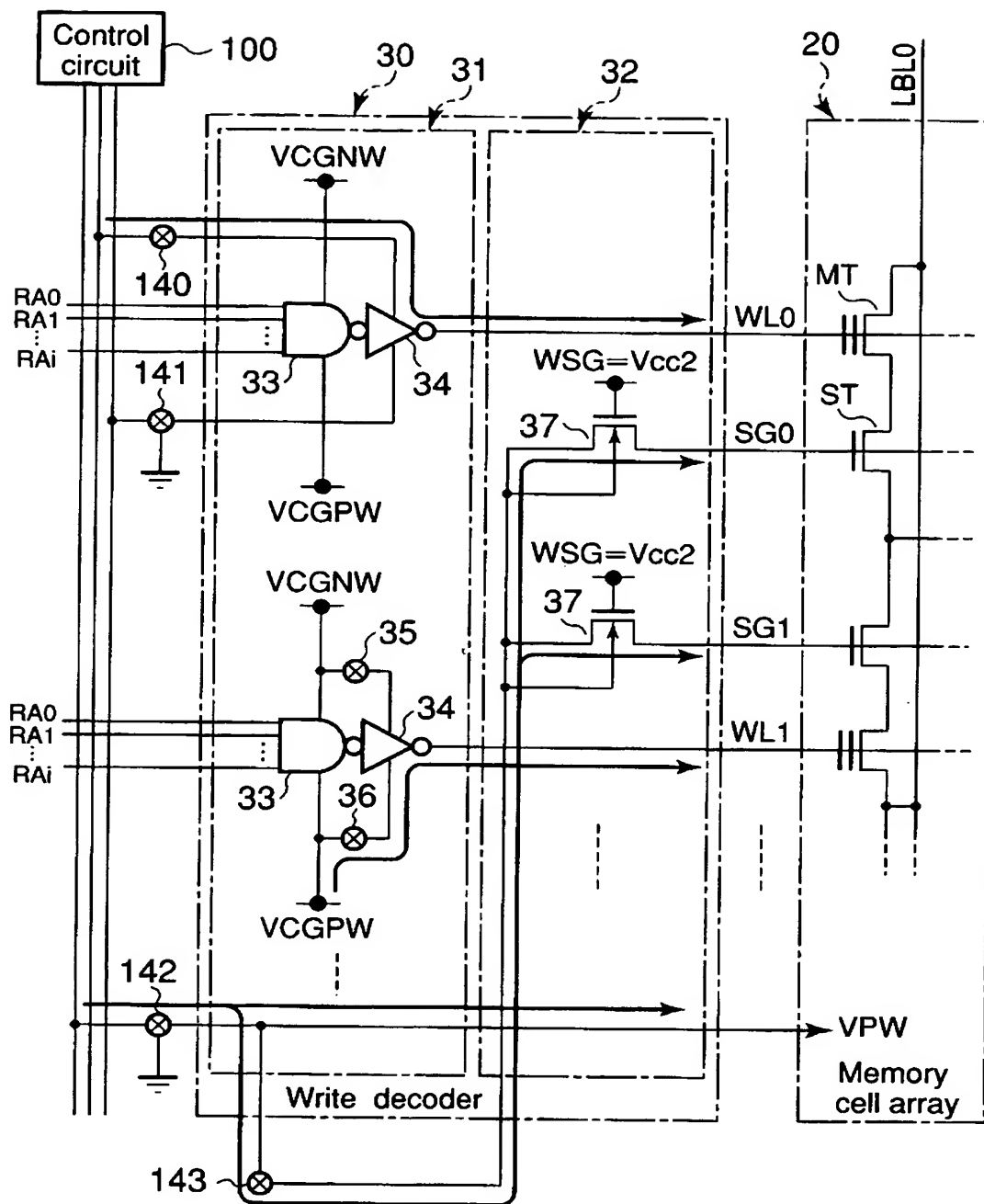
【図 7】



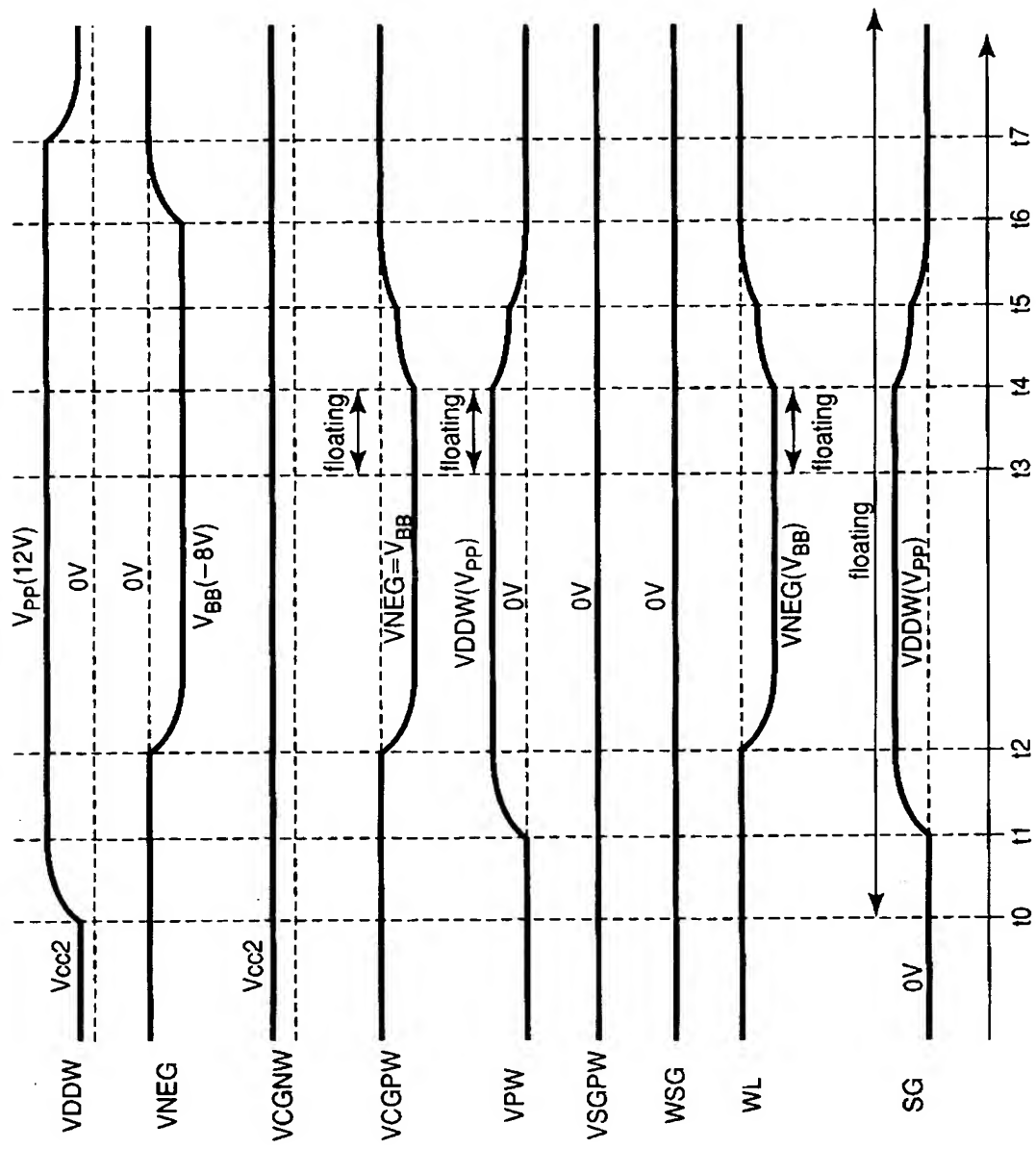
【図 8】



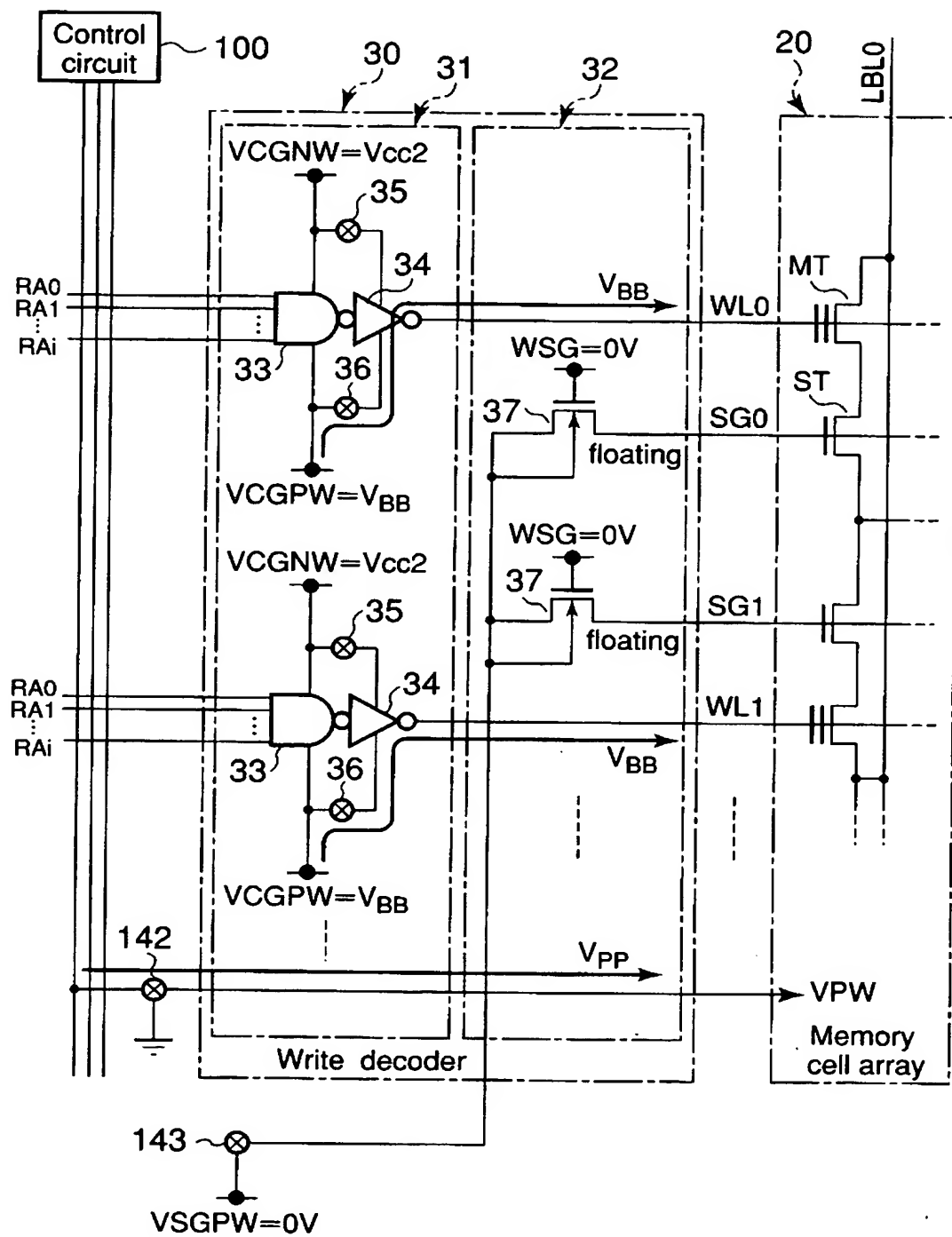
【図 9】



【図 10】



【図 1 1】



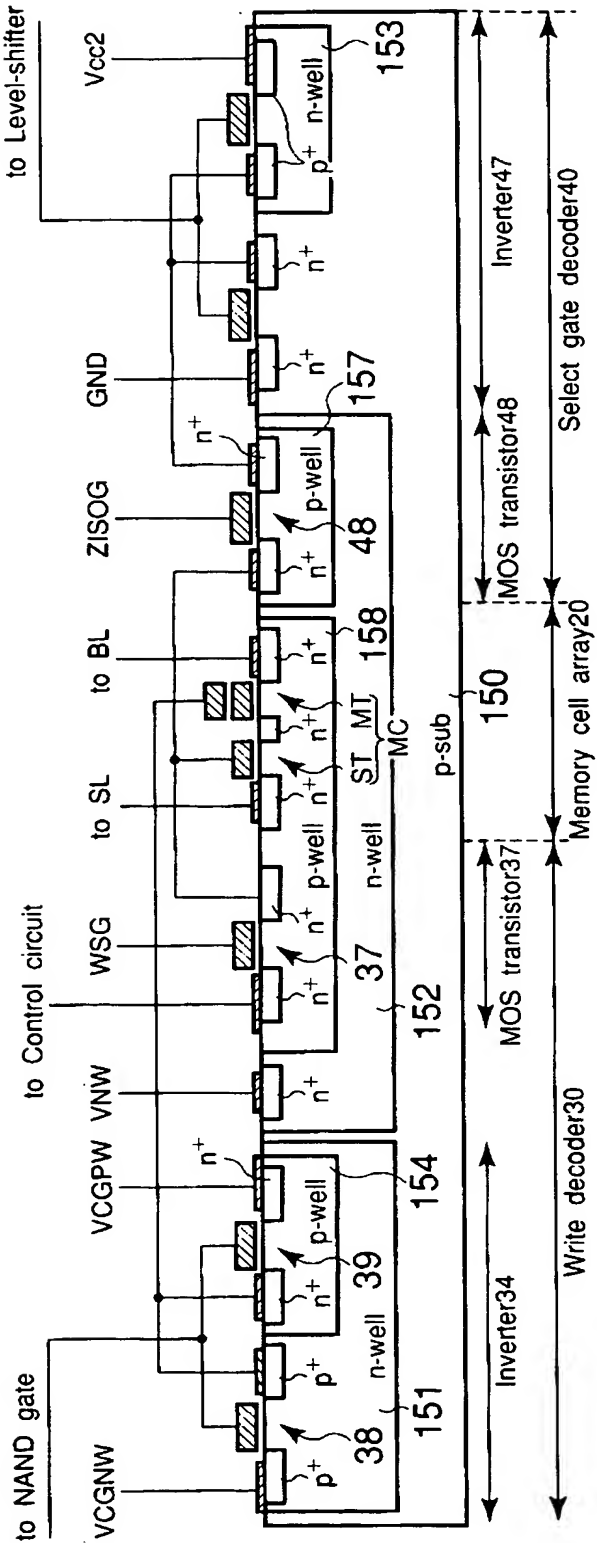




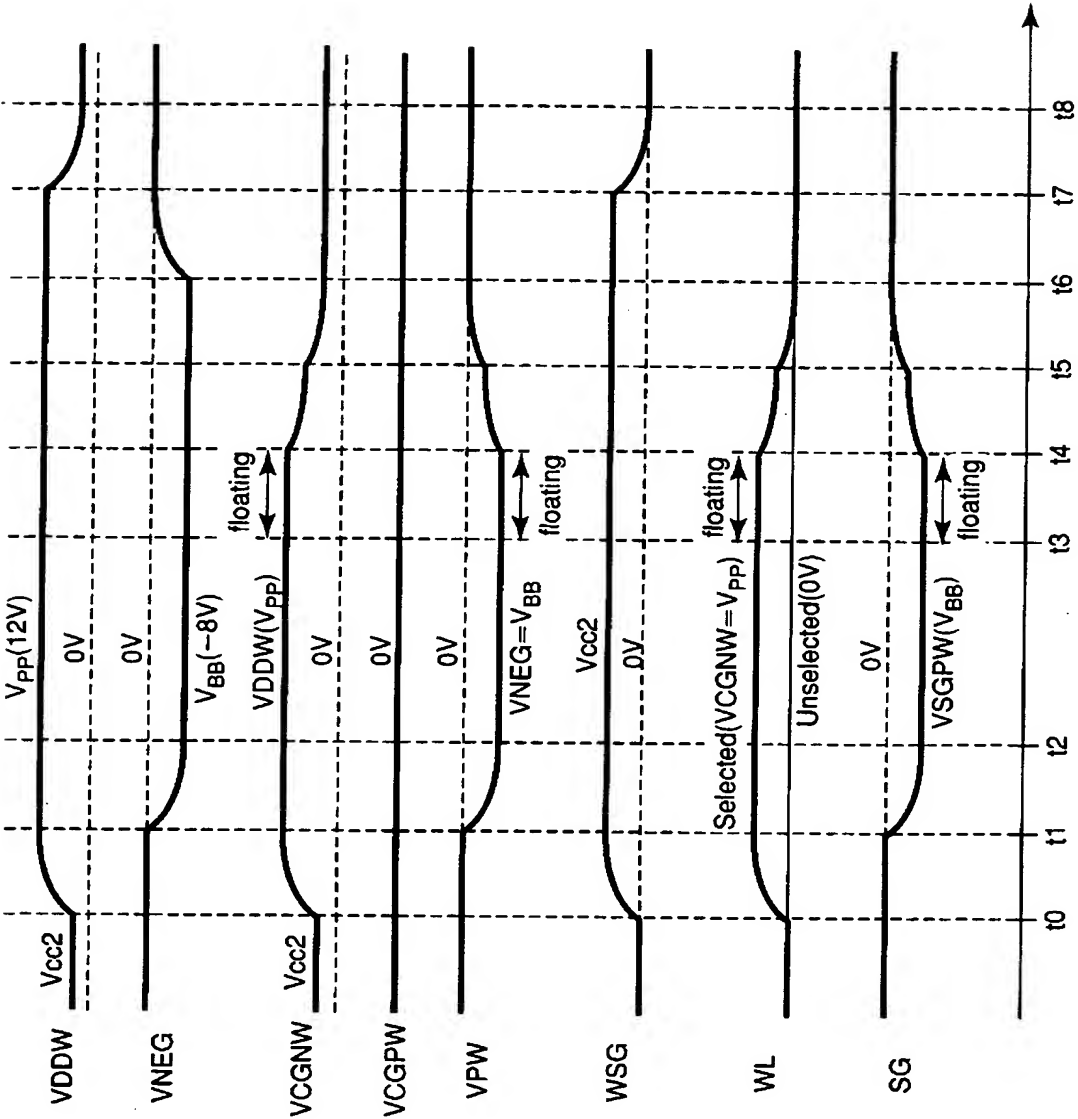




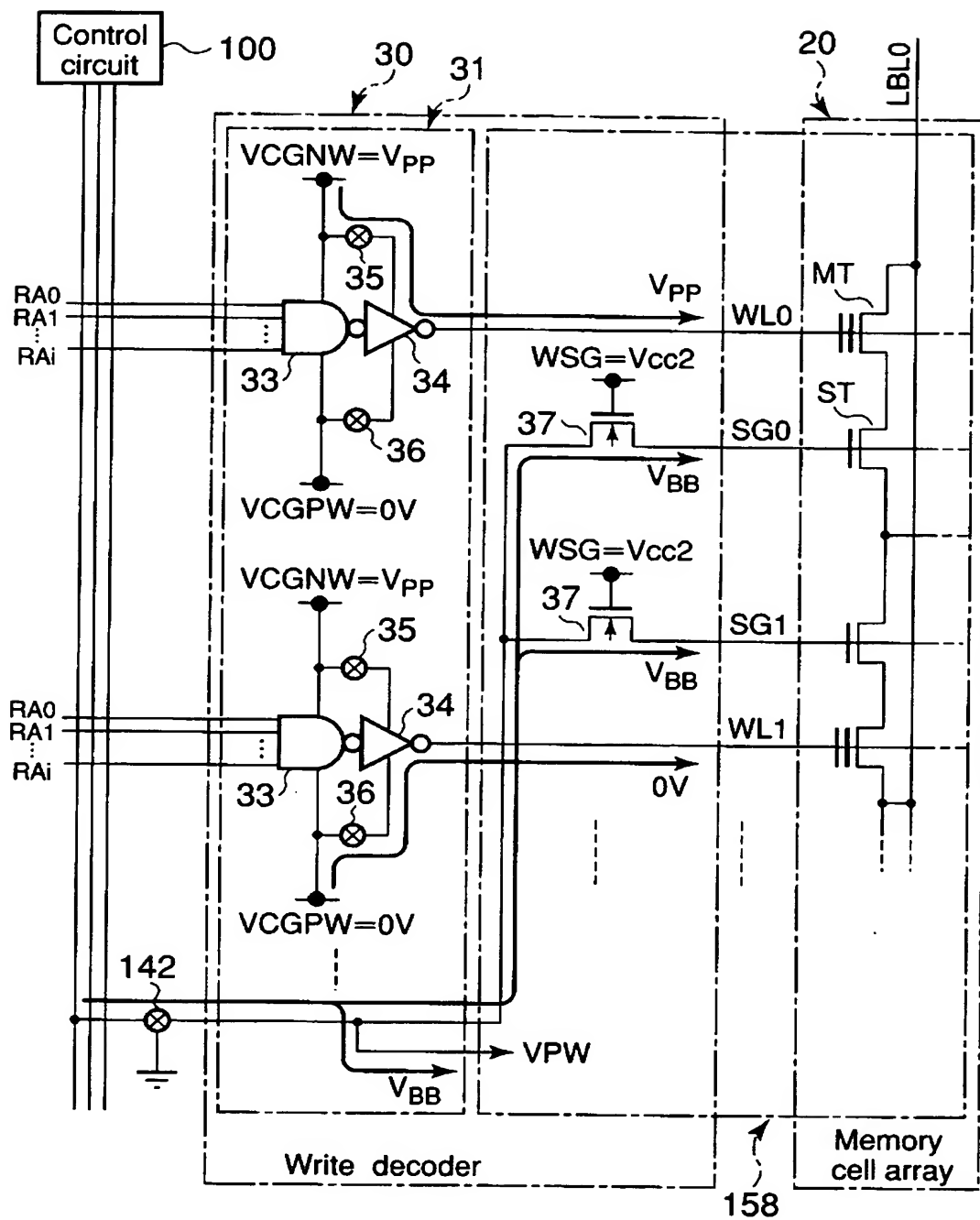
【図 15】



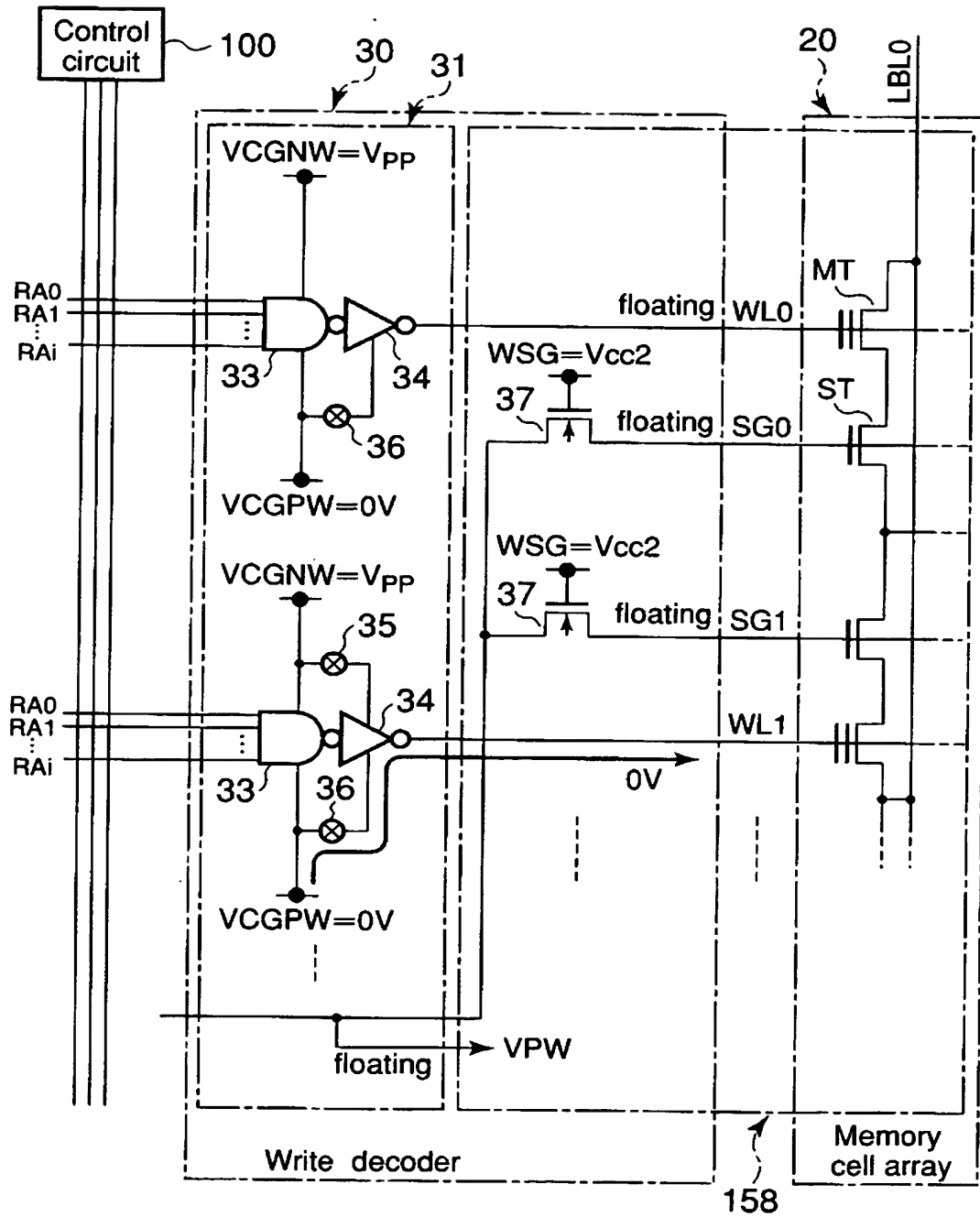
【図 16】



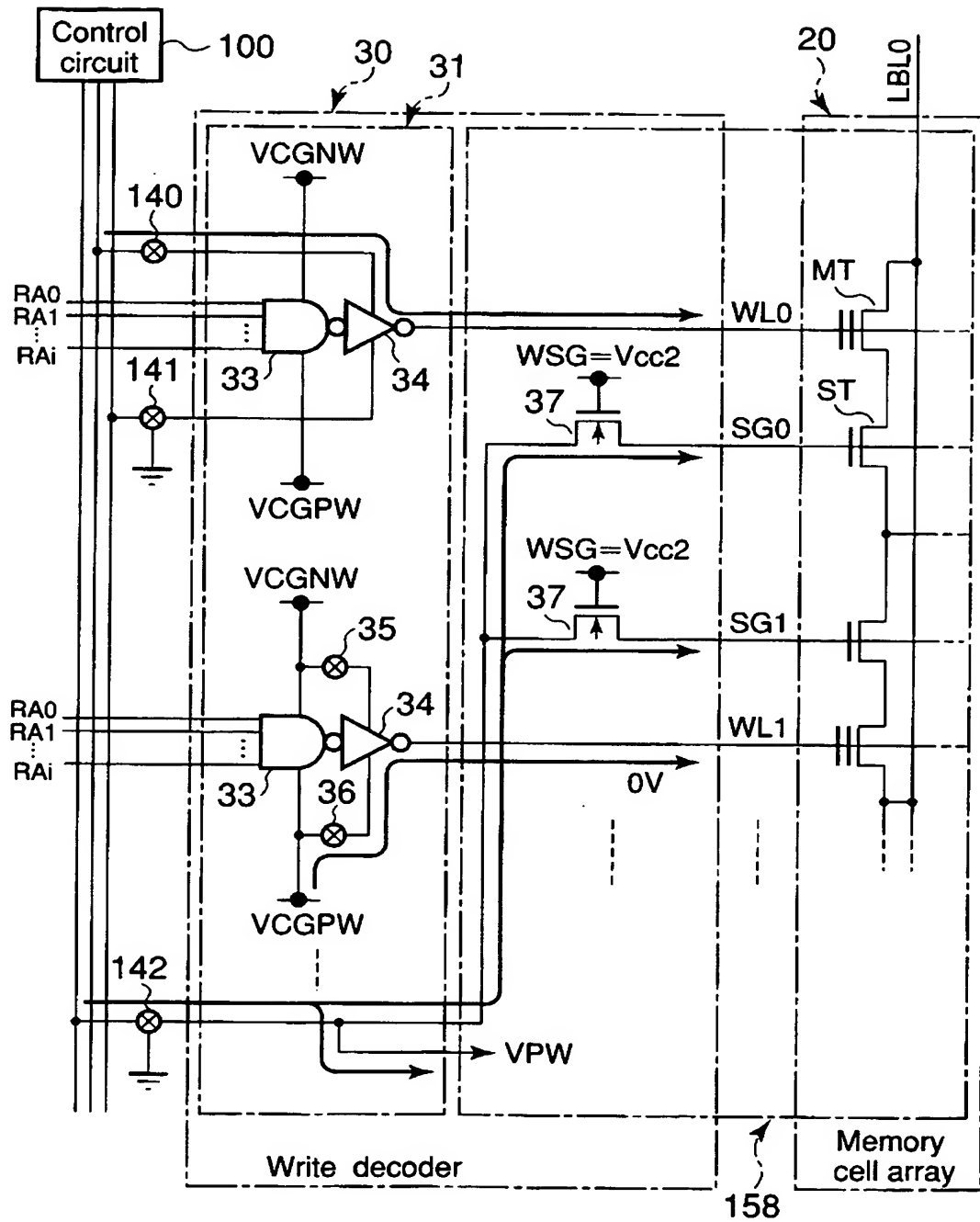
【図 17】



【図 18】



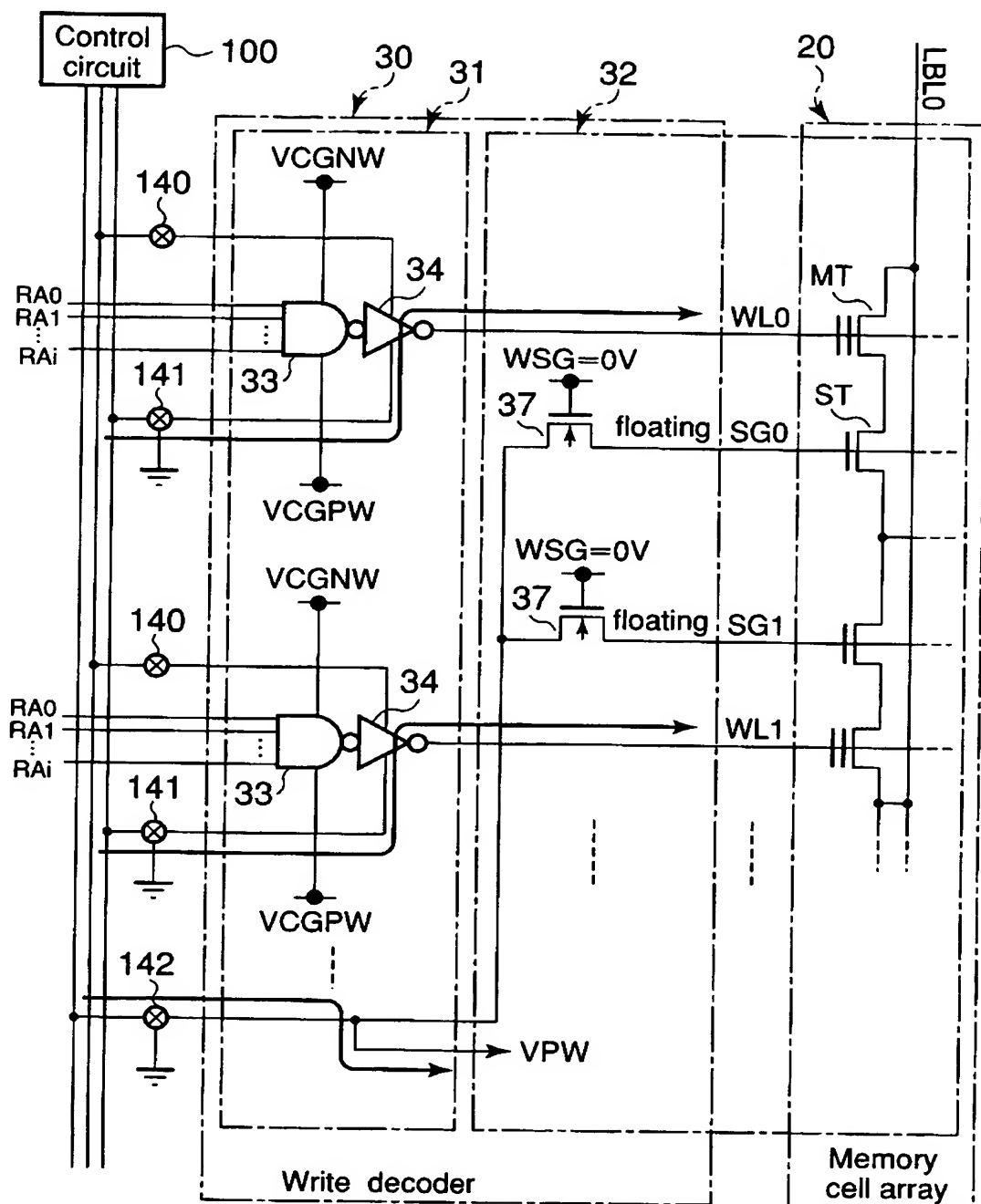
【図 19】





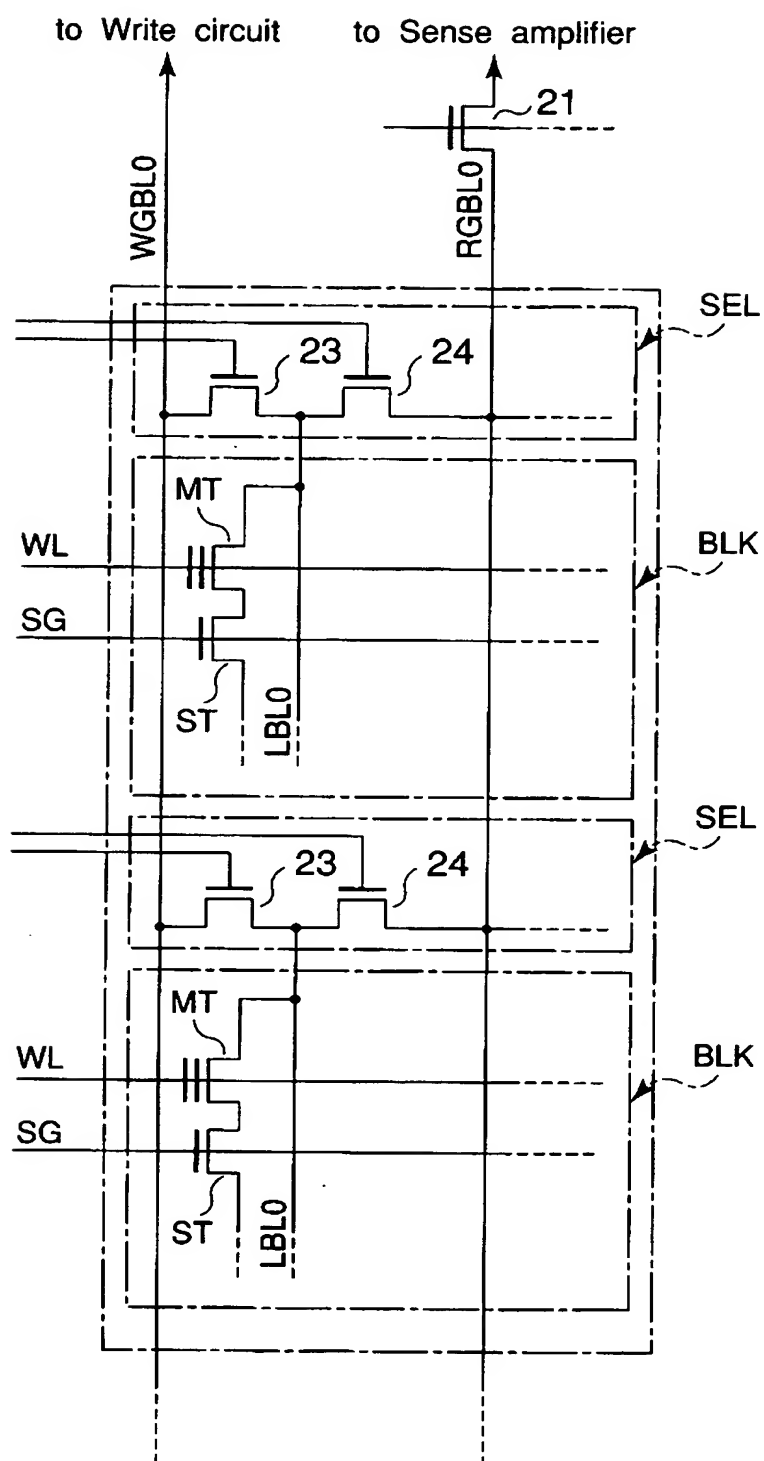


【図 22】

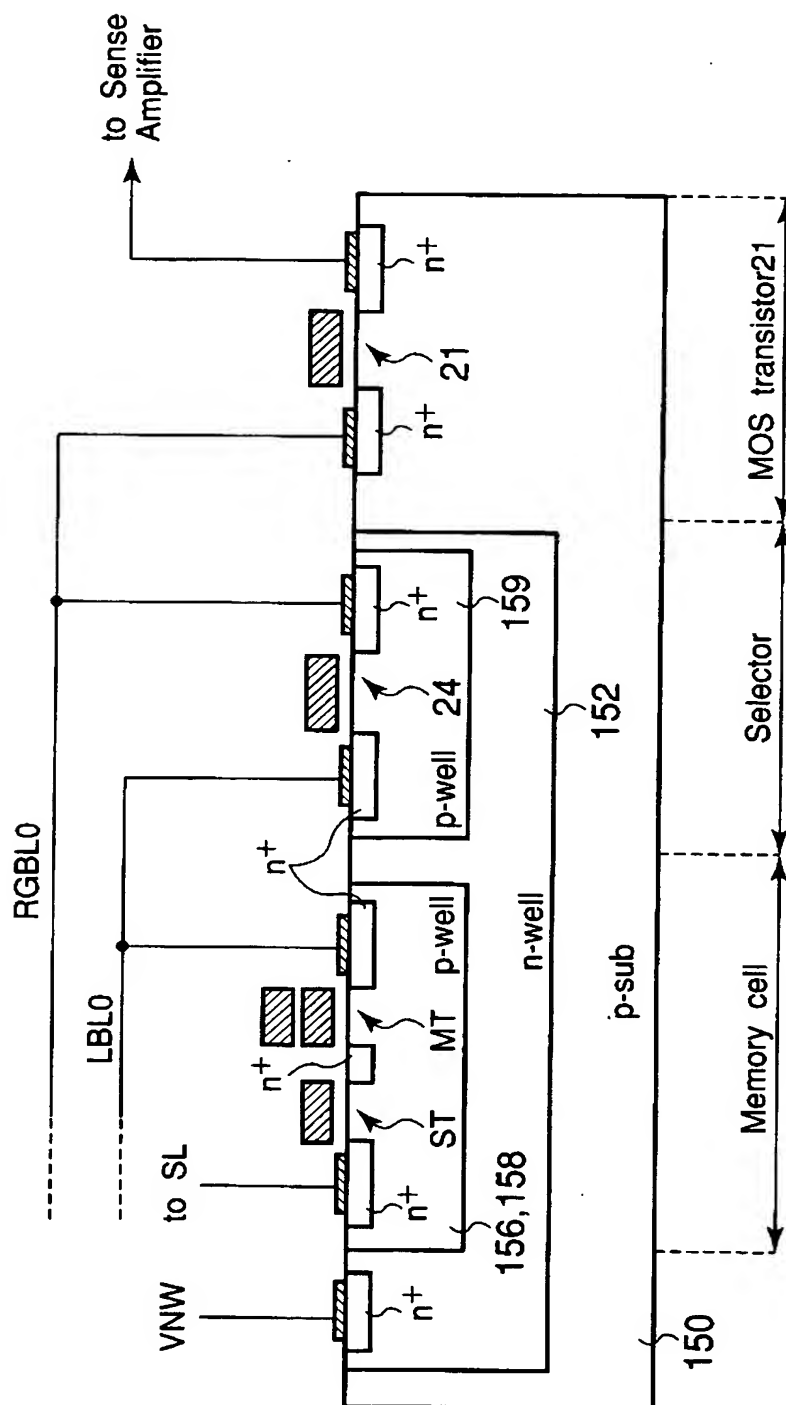




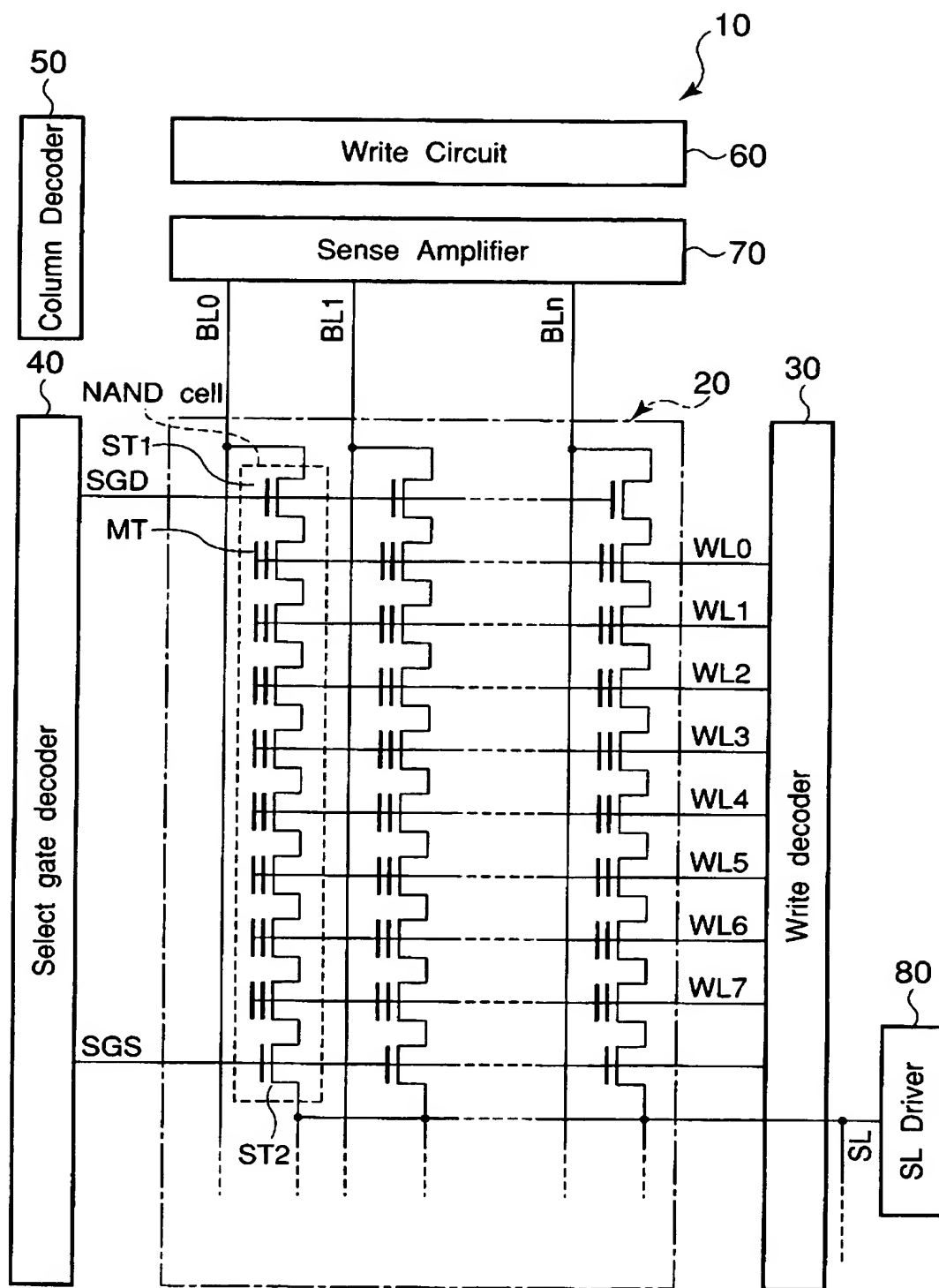
【図 23】



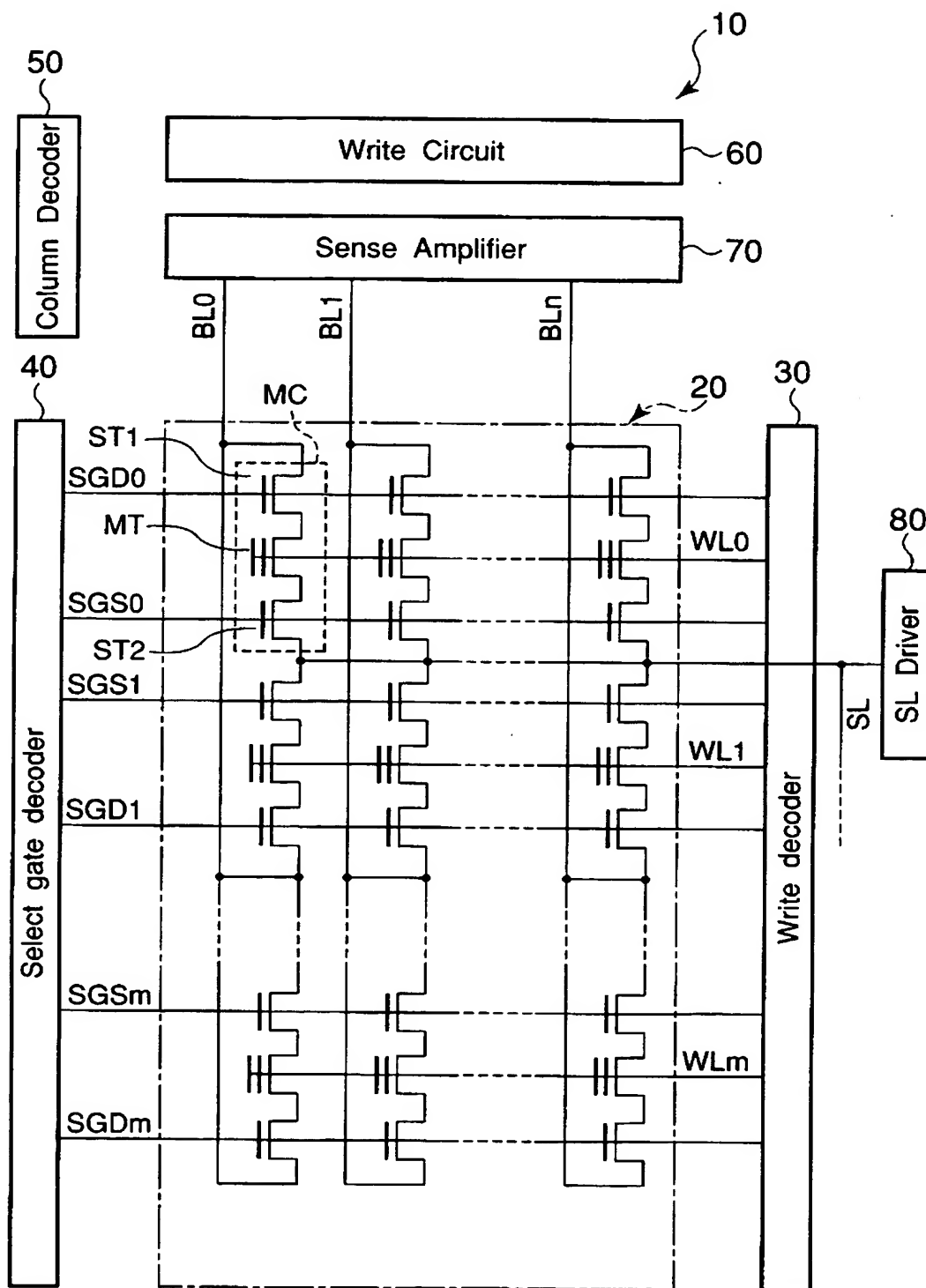
【図 2 4】



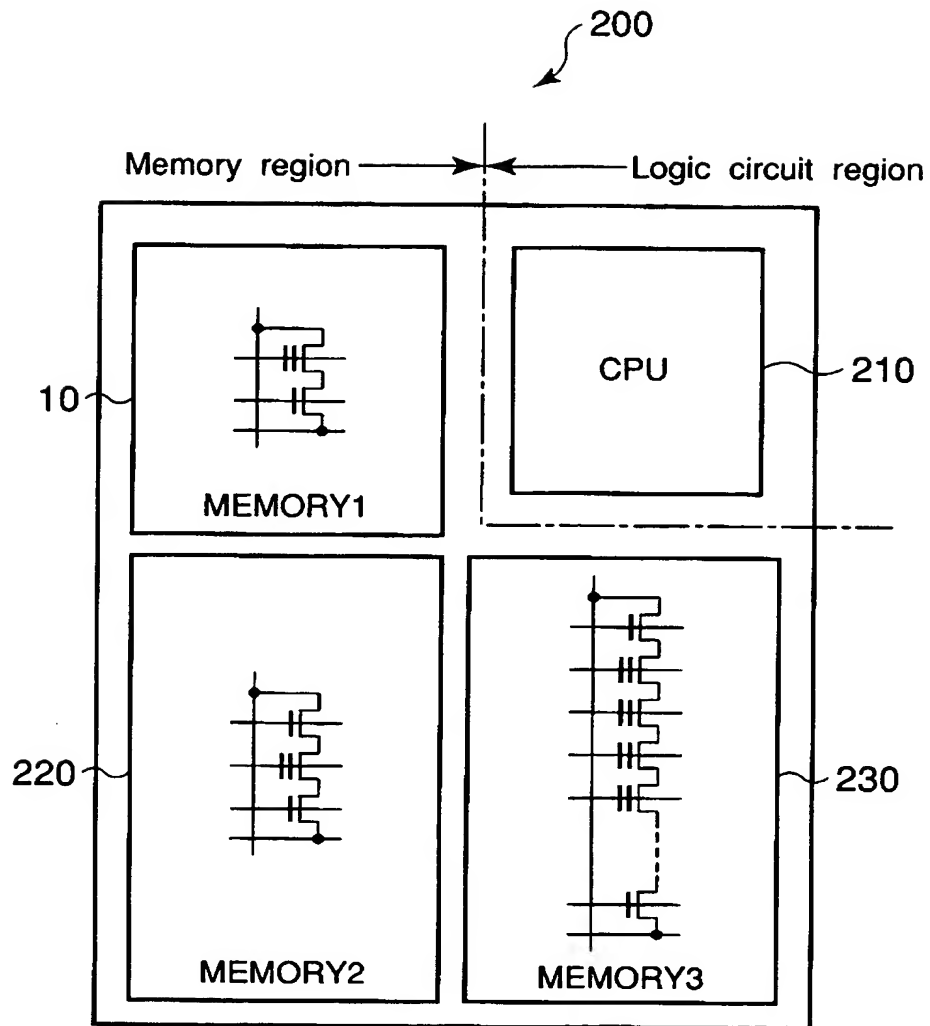
【図 25】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 動作信頼性を向上できる不揮発性半導体記憶装置を提供すること。

【解決手段】 第 1 ウェル領域上に形成された積層ゲートを有する第 1 MOS トランジスタと、前記第 1 MOS トランジスタのソースにドレインが接続された第 2 MOS トランジスタとを備えたメモリセルがマトリクス状に配置されたメモリセルアレイと、同一行の制御ゲートを共通接続するワード線と、同一行の第 2 MOS トランジスタのゲートを共通接続するセレクトゲート線と、書き込み時において、前記ワード線のいずれか及び第 1 ウェル領域に正電位及び負電位をそれぞれ与え、書き込み後前記選択ワード線及び前記第 1 ウェル領域をフローティングにする第 1 ロウデコーダと、前記フローティングにされた選択ワード線と第 1 ウェル領域とをショートする制御回路とを具備し、前記セレクトゲート線は、書き込み時に負電位ノードに接続され、書き込み後に前記第 1 ウェル領域に接続される。

【選択図】 図 3



特願 2003-209312

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝